

第6章 时序逻辑电路

6.1 时序逻辑电路的概述

6.2 寄存器

6.3 计数器

6.4 集成计数器应用与实验

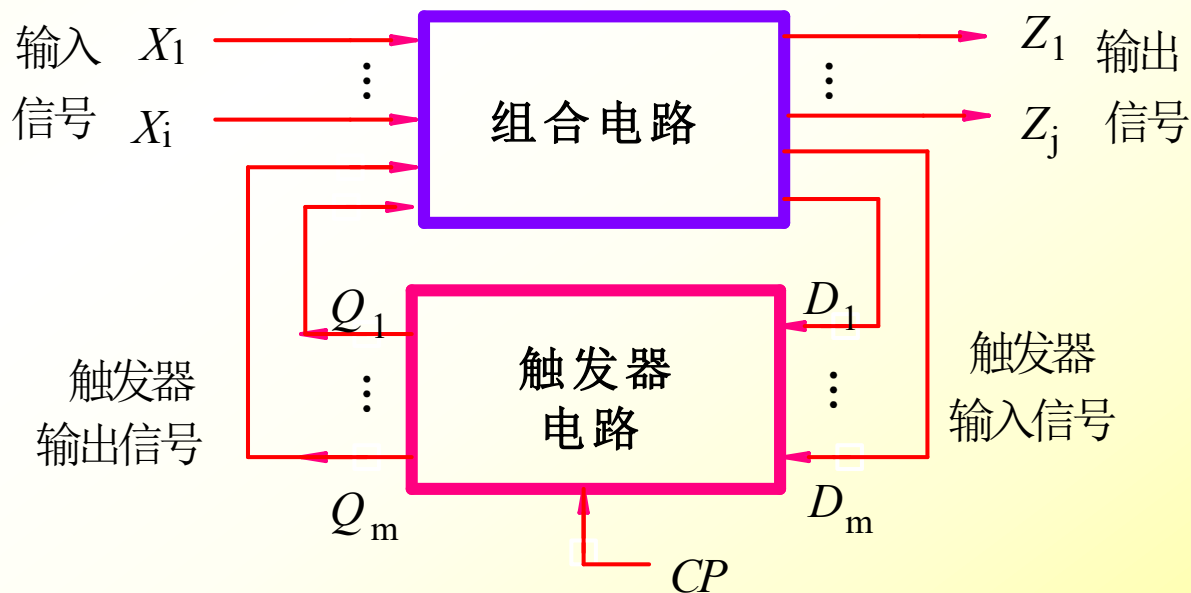
6.1 时序逻辑电路的概述

1. 时序电路的特点

时序逻辑电路——任何一个时刻的输出状态不仅取决于当时的输入信号，还与电路的原状态有关。

时序电路的特点：（1）含有记忆元件（最常用的是触发器）。
（2）具有反馈通道。

2. 时序电路的组成



3. 时序电路的分类

时序电路的分类有多种，但主要是按照其存储电路中各触发器是否由统一时钟控制，分为同步时序电路和异步时序电路两大类型。

(1) 同步时序电路

若时序电路中存储电路各触发器状态的更新是在同一时钟脉冲的特定时刻（如上升沿或下降沿）同步进行的，这样的时序电路就被称为同步时序电路。

(2) 异步时序电路

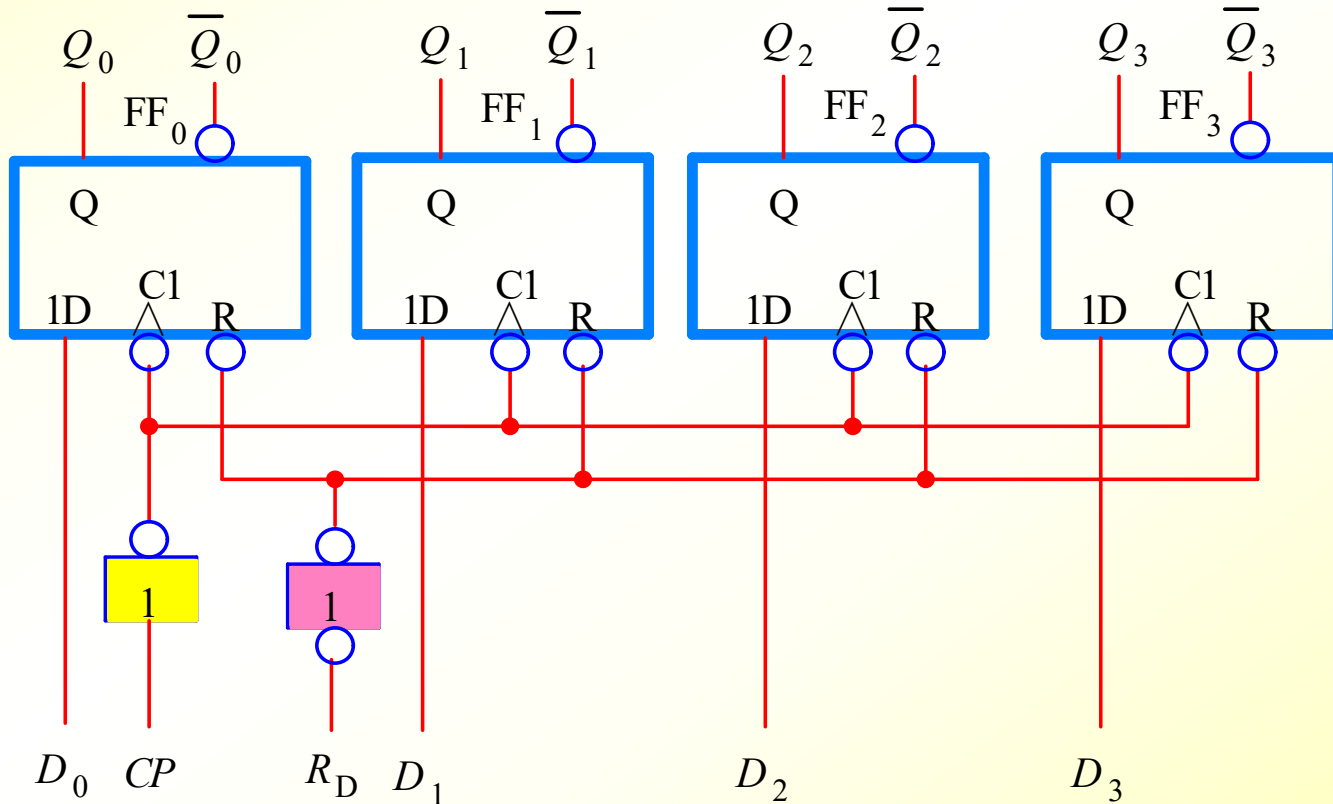
若时序电路中存储电路各触发器的状态更新不受时钟脉冲的统一控制，而是在不同时刻分别进行的，或者没有时钟脉冲，这样的时序电路就被称为异步时序电路。数字电路中的数码寄存器、计数器、存储器等都是时序电路的基本单元电路。

6.2 寄存器

6.2.1 数码寄存器

数码寄存器——存储二进制数码的时序电路组件

集成数码寄存器74LS175：



74LS175的功能:

R_D 是异步清零控制端。

$D_0 \sim D_3$ 是并行数据输入端, CP 为时钟脉冲端。

$Q_0 \sim Q_3$ 是并行数据输出端。

74LS175的功能表

清零	时钟	输 入	输 出	工作模式
R_D	CP	D_0 D_1 D_2 D_3	Q_0 Q_1 Q_2 Q_3	
0	×	× × × ×	0 0 0 0	异步清零
1	↑	d_0 d_1 d_2 d_3	d_0 d_1 d_2 d_3	数码寄存
1	1	× × × ×	保持	数据保持
1	0	× × × ×	保持	数据保持

6.2.2 移位寄存器

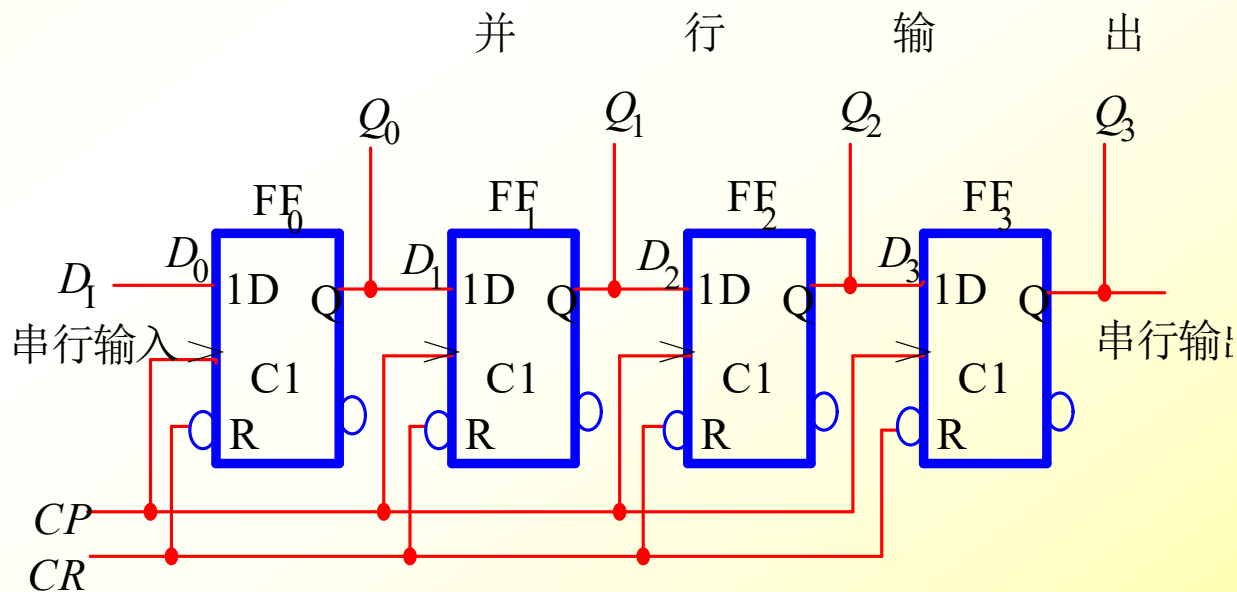
移位寄存器——不但可以寄存数码，而且在移位脉冲作用下，寄存器中的数码可根据需要向左或向右移动1位。

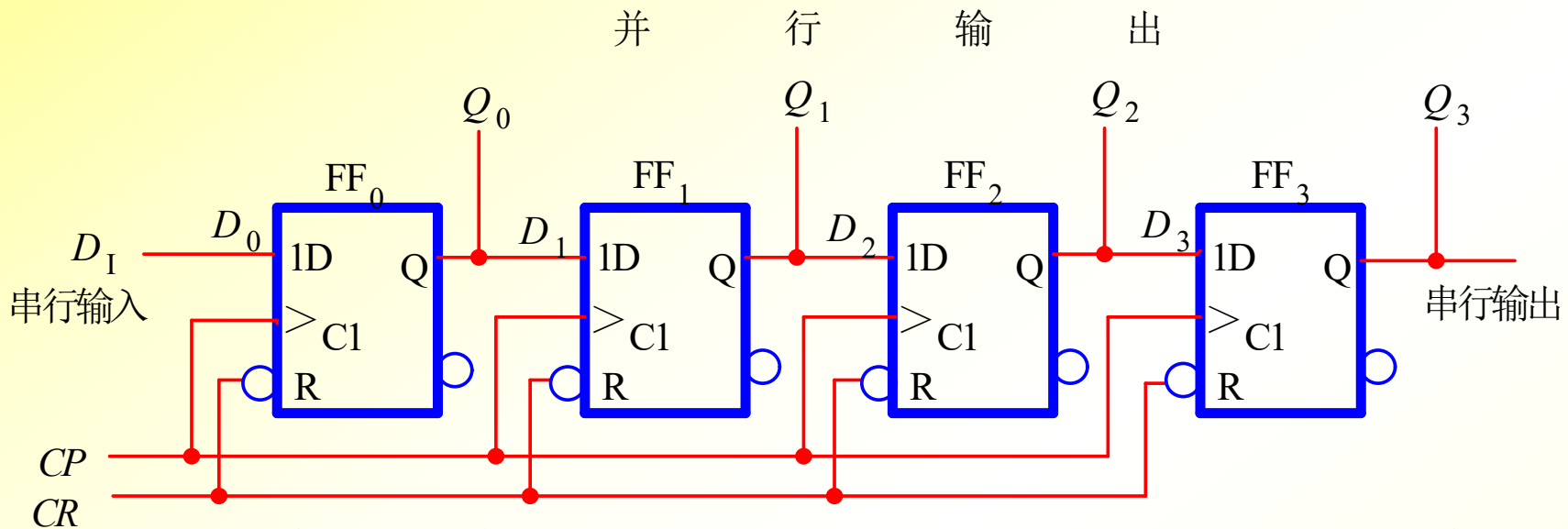
1. 单向移位寄存器

(1) 右移寄存器（D触发器组成的4位右移寄存器）

右移寄存器的结构特点：左边触发器的输出端接右邻触发器的输入端。

FF_3 是最高位触发器， FF_0 是最低位触发器，从左到右依次排列。





设移位寄存器的初始状态为0000，串行输入数码 $D_I=1101$ ，从高位到低位依次输入。其状态表如下：

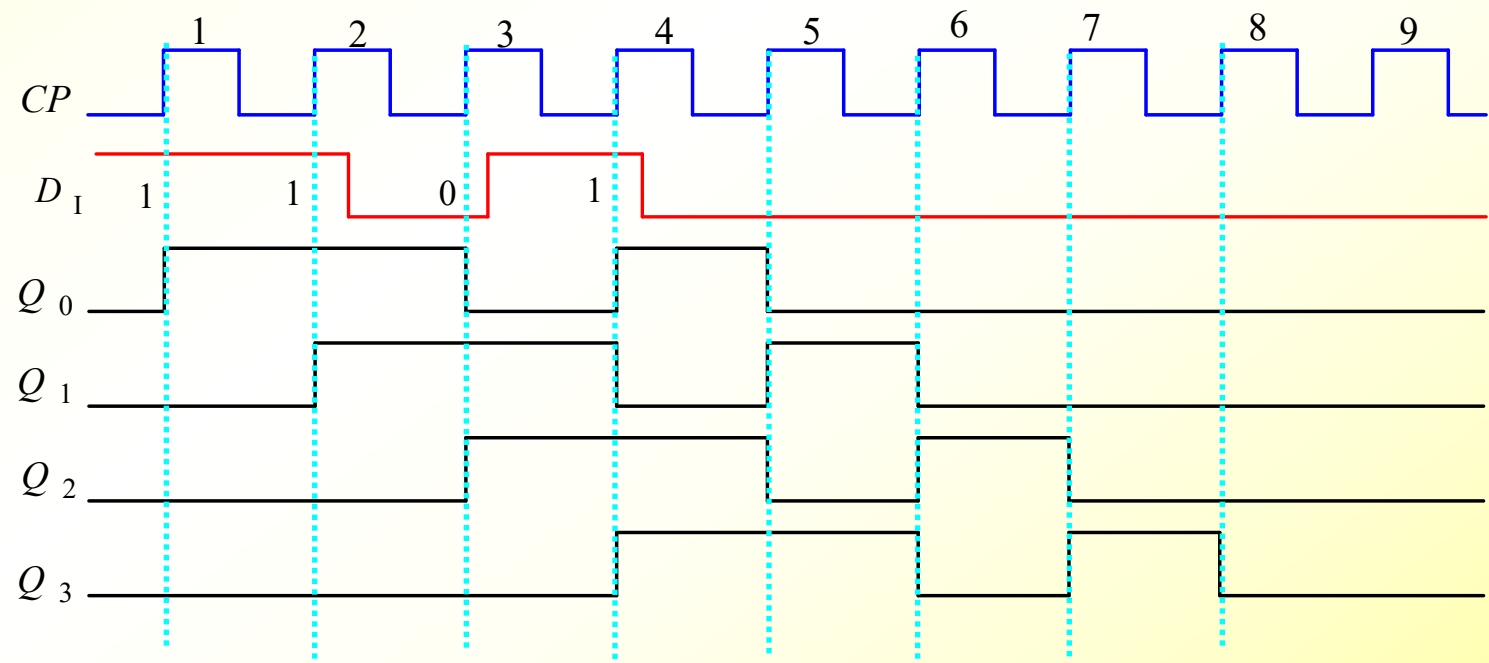
移位脉冲	输入数码	输 出			
CP	D_I	Q_0	Q_1	Q_2	Q_3
0		0	0	0	0
1	1 →	1	0	0	0
2	1 →	1	1	0	0
3	0 →	0	1	1	0
4	1 →	1	0	1	1

在4个CP作用下，输入的4位串行数码1101全部存入了寄存器中。这种方式称为串行输入方式。

移位脉冲	输入数码	输 出			
CP	D_1	Q_0	Q_1	Q_2	Q_3
0		0	0	0	0
1	1	1	0	0	0
2	1	1	1	0	0
3	0	0	1	1	0
4	1	1	0	1	1

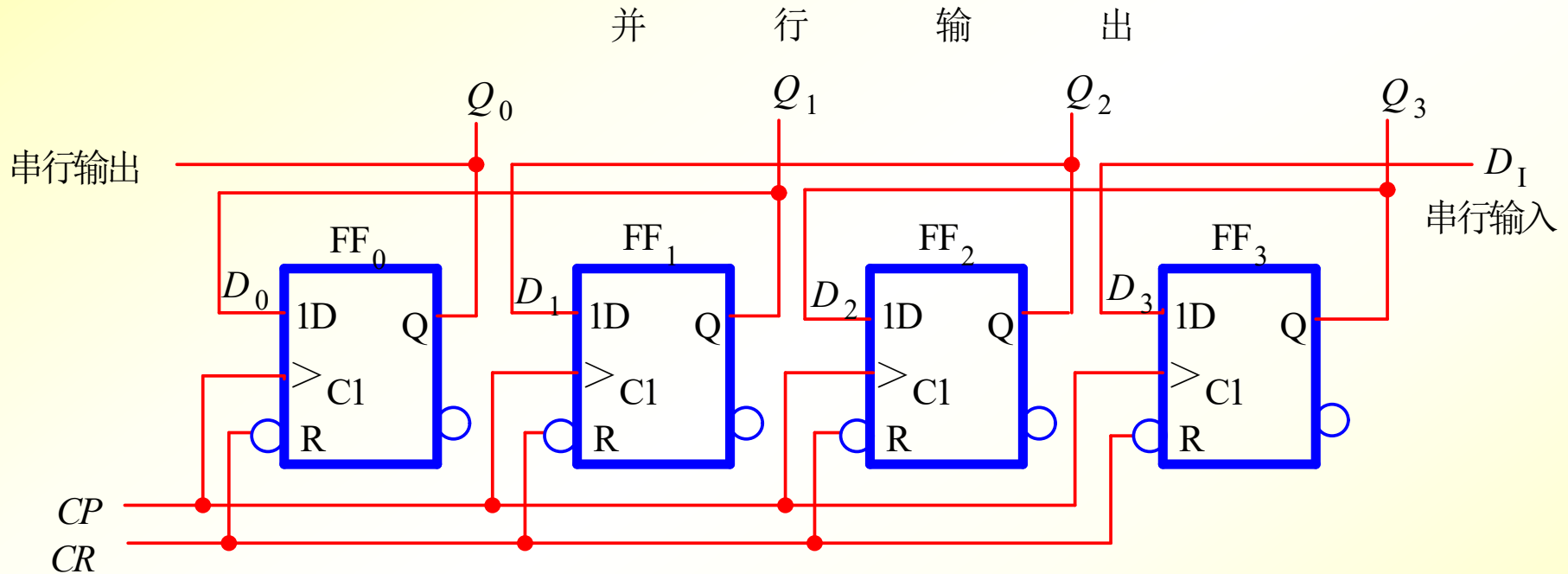
由于右移寄存器移位的方向为 $D_1 \rightarrow Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$ ，所以又称上移寄存器。

右移寄存器的时序图：



(2) 左移寄存器

左移寄存器的结构特点：右边触发器的输出端接左邻触发器的输入端。



2 . 双向移位寄存器

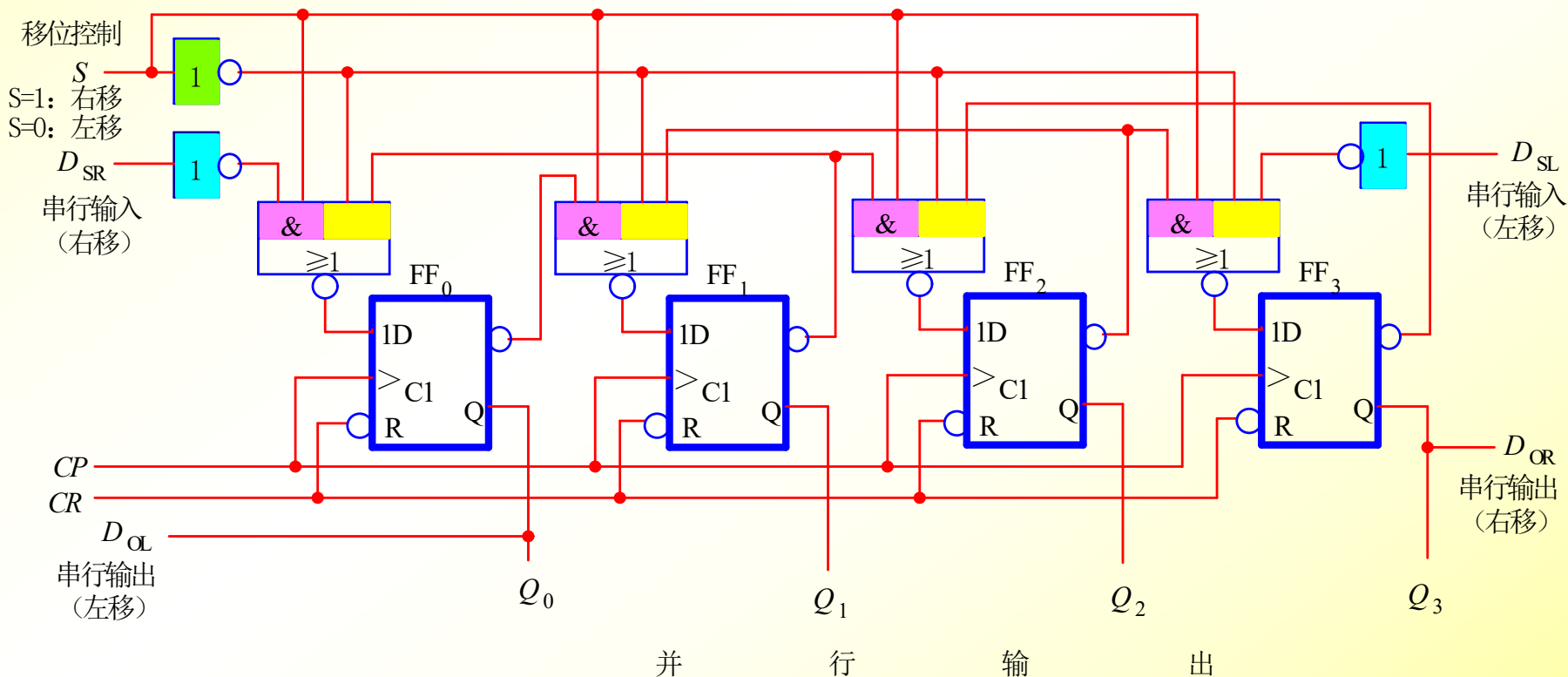
将右移寄存器和左移寄存器组合起来，并引入一控制端S便构成既可左移又可右移的双向移位寄存器。

D触发器组成的双向移位寄存器：

其中， D_{SR} 为右移串行输入端， D_{SL} 为左移串行输入端。

当 $S=1$ 时， $D_0=D_{SR}$ 、 $D_1=Q_0$ 、 $D_2=Q_1$ 、 $D_3=Q_2$ ，实现右移操作；

当 $S=0$ 时， $D_0=Q_1$ 、 $D_1=Q_2$ 、 $D_2=Q_3$ 、 $D_3=D_{SL}$ ，实现左移操作。

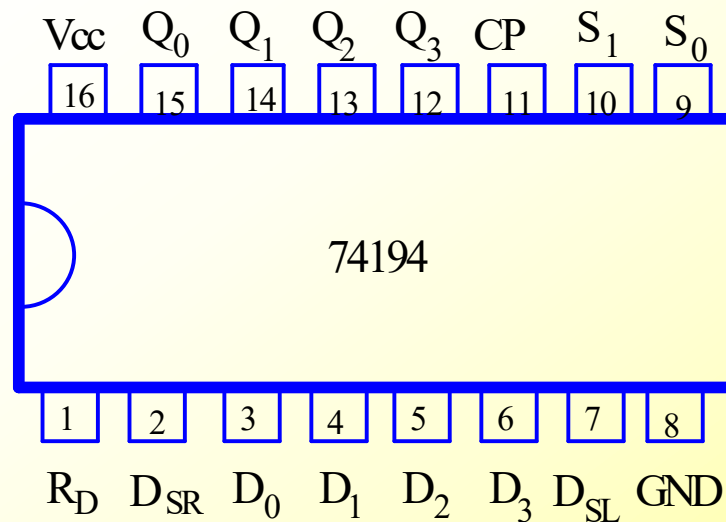
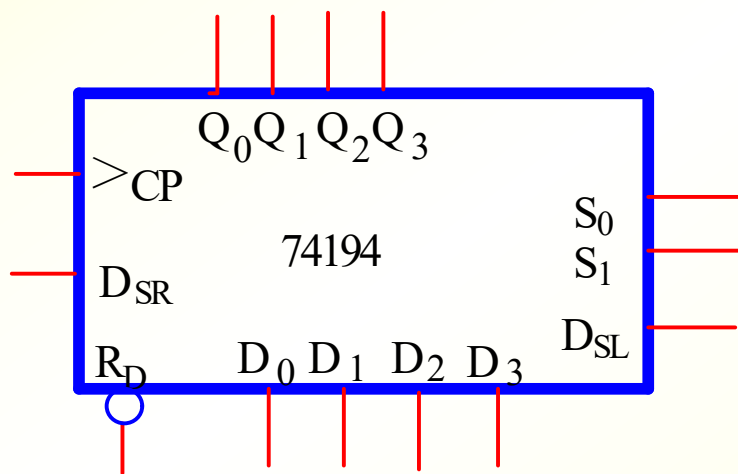


3. 集成移位寄存器74194

74194为四位双向移位寄存器。

D_{SL} 和 D_{SR} 分别是左移和右移串行输入。 D_0 、 D_1 、 D_2 和 D_3 是并行输入端。

Q_0 和 Q_3 分别是左移和右移时的串行输出端， Q_0 、 Q_1 、 Q_2 和 Q_3 为并行输出端。



74194的功能表

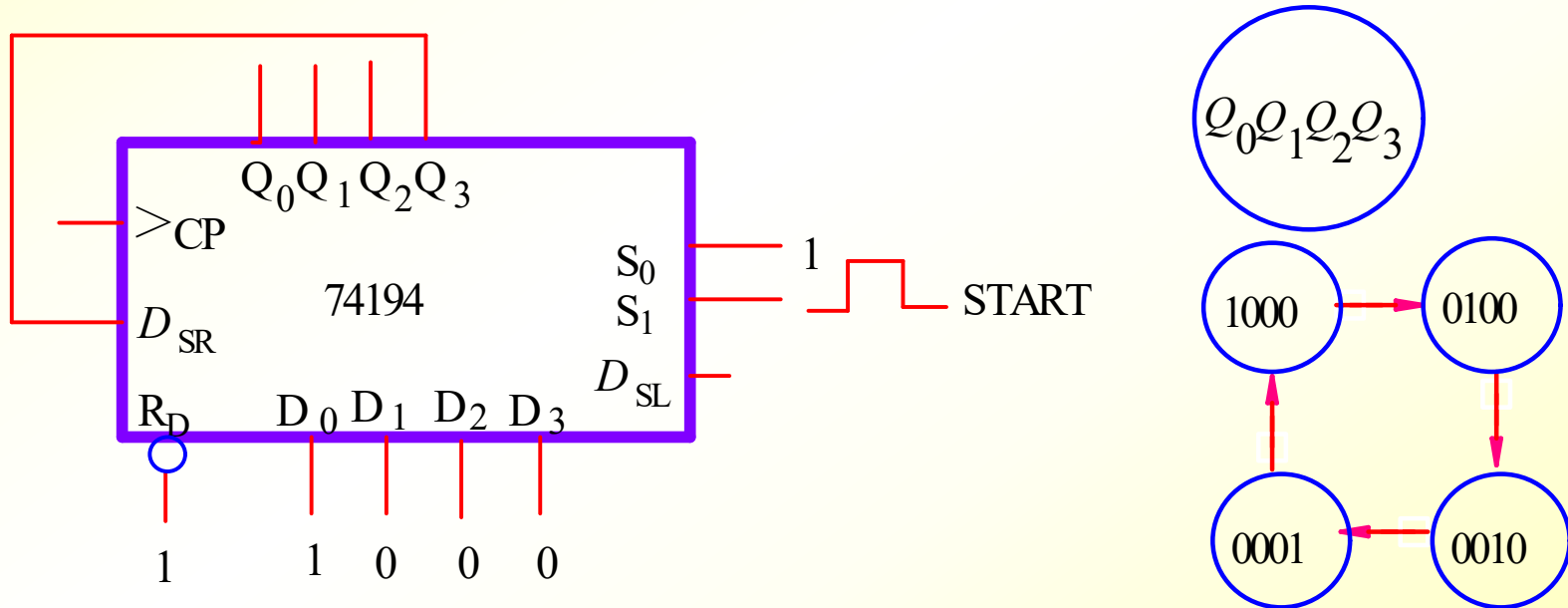
输 入					输 出	工作模式
清零	控 制	串行输入	时钟	并行输入		
R_D	$S_1 S_0$	$D_{SL} D_{SR}$	CP	$D_0 D_1 D_2 D_3$	$Q_0 Q_1 Q_2 Q_3$	
0	× ×	× ×	×	× × × ×	0 0 0 0	异步清零
1	0 0	× ×	×	× × × ×	$Q_0^n Q_1^n Q_2^n Q_3^n$	保 持
1	0 1	× 1	↑	× × × ×	1 $Q_0^n Q_1^n Q_2^n$	右 移
1	0 1	× 0	↑	× × × ×	0 $Q_0^n Q_1^n Q_2^n$	
1	1 0	1 ×	↑	× × × ×	$Q_1^n Q_2^n Q_3^n$ 1	左 移
1	1 0	0 ×	↑	× × × ×	$Q_1^n Q_2^n Q_3^n$ 0	
1	1 1	× ×	↑	$D_0 D_1 D_2 D_3$	$D_0 D_1 D_2 D_3$	并行置数

4、移位寄存器构成的移位型计数器

(1) 环形计数器

环形计数器的特点：

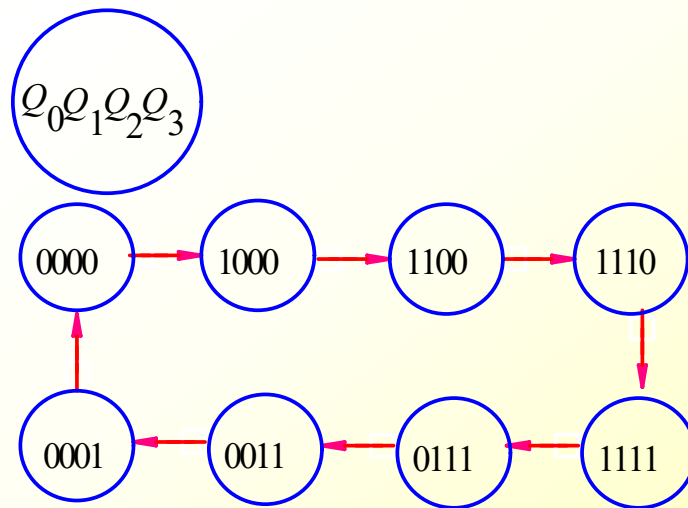
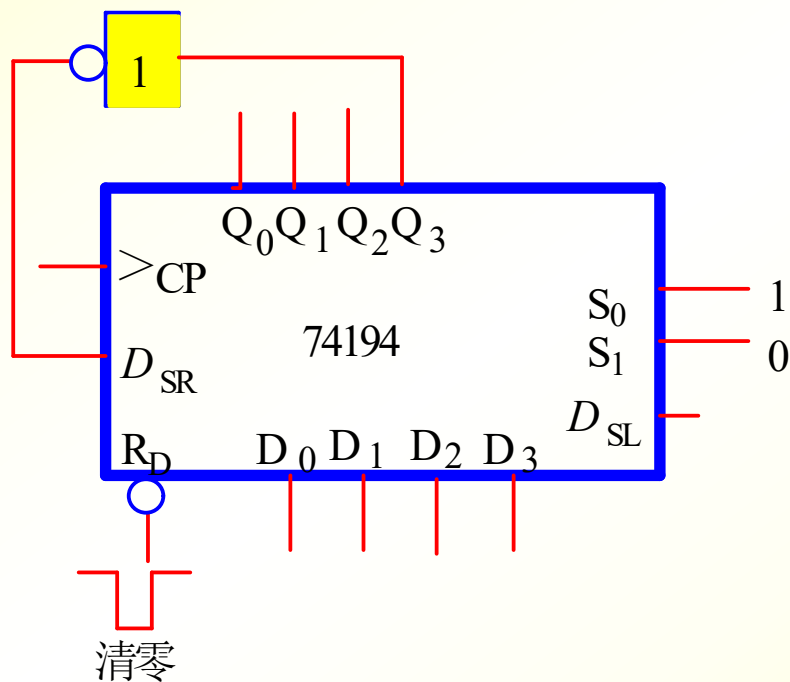
电路简单， N 位移位寄存器可以计 N 个数，实现模 N 计数器。状态为1的输出端的序号等于计数脉冲的个数，通常不需要译码电路。



(2) 扭环形计数器

为了增加有效计数状态，扩大计数器的模，可用扭环形计数器。

一般来说， N 位移位寄存器可以组成模 $2N$ 的扭环形计数器，只需将末级输出反相后，接到串行输入端。



6.3 计数器

计数器——用以统计输入脉冲CP个数的电路。

计数器的分类：

(1) 按计数进制可分为二进制计数器和非二进制计数器。

非二进制计数器中最典型的是十进制计数器。

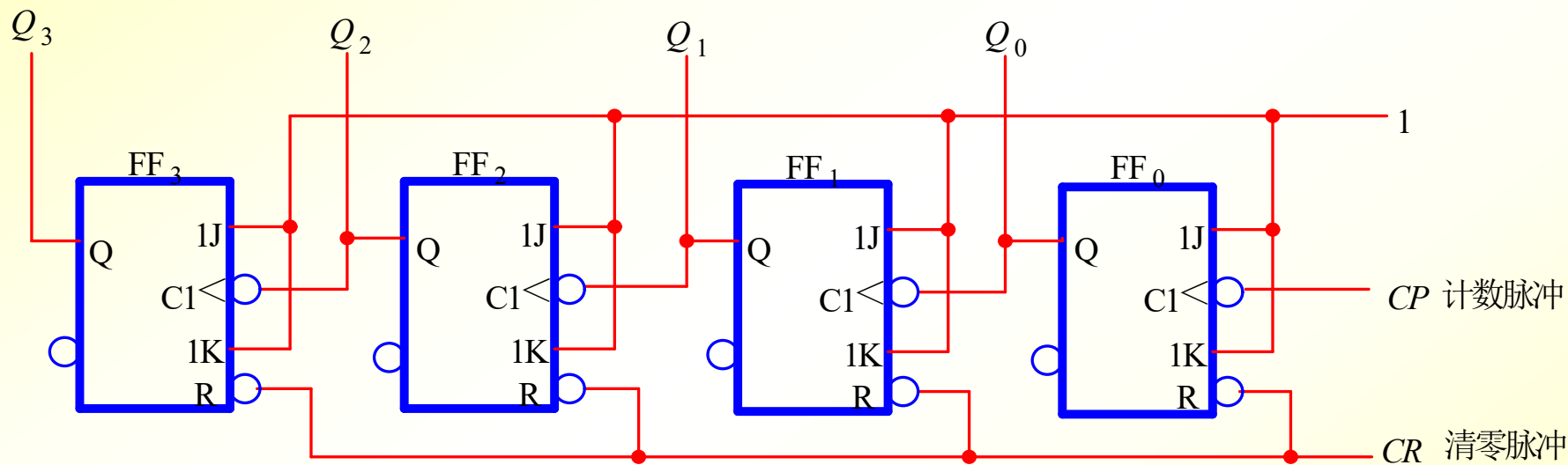
(2) 按数字的增减趋势可分为加法计数器、减法计数器和可逆计数器。

(3) 按计数器中触发器翻转是否与计数脉冲同步分为同步计数器和异步计数器。

6.3.1 二进制计数器

1. 二进制异步计数器

(1) 二进制异步加法计数器（4位）



工作原理： 4个JK触发器都接成T'触发器。

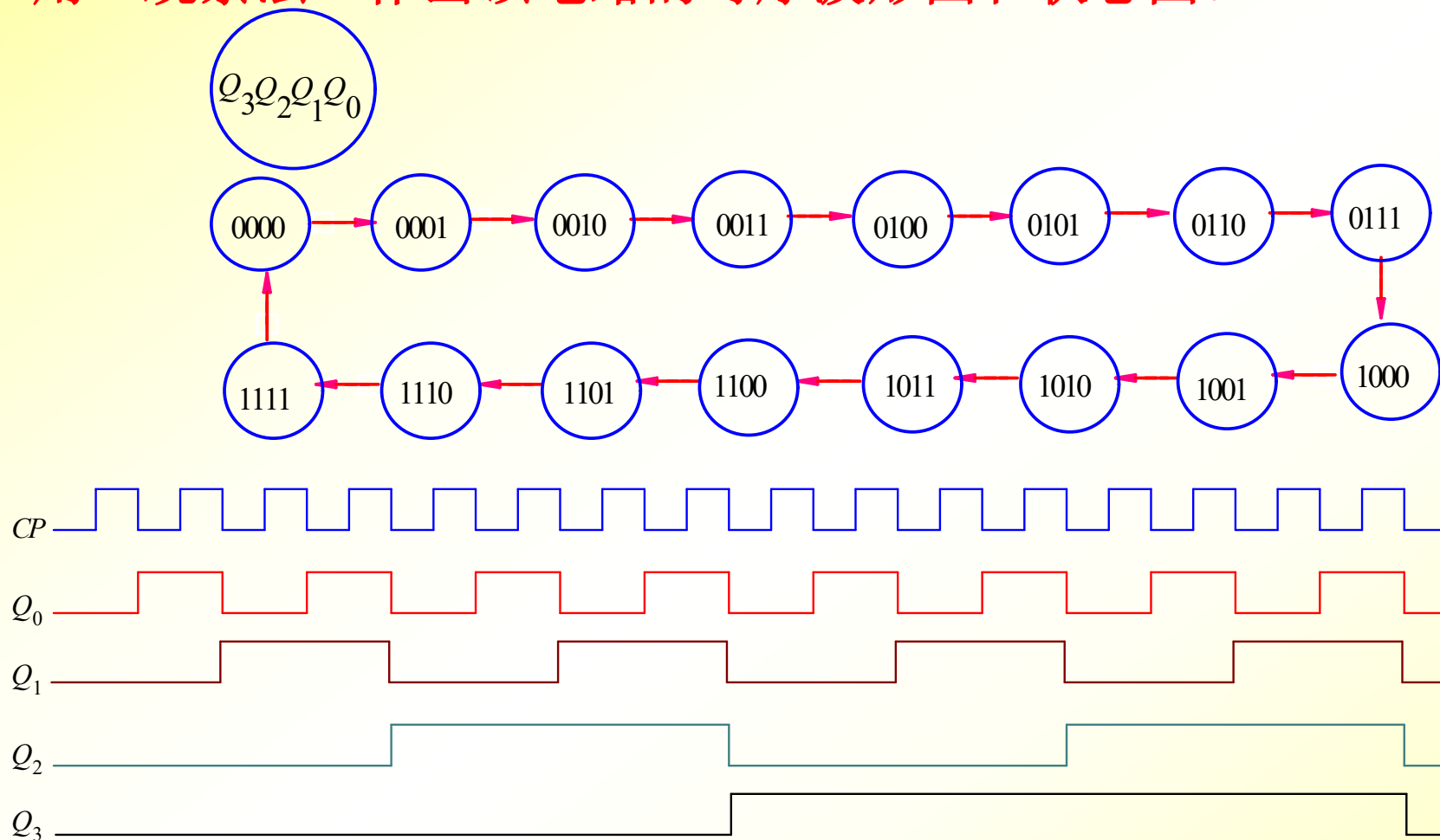
每来一个CP的下降沿时，FF₀向相反的状态翻转一次；

每当Q₀由1变0，FF₁向相反的状态翻转一次；

每当Q₁由1变0，FF₂向相反的状态翻转一次；

每当Q₂由1变0，FF₃向相反的状态翻转一次。

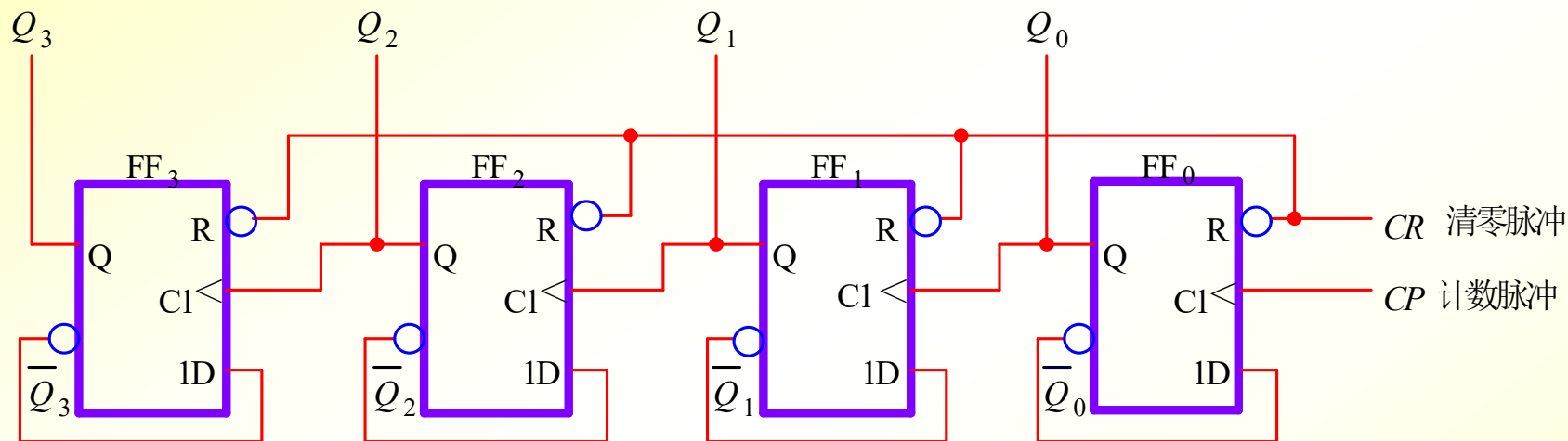
用“观察法”作出该电路的时序波形图和状态图。



由时序图可以看出， Q_0 、 Q_1 、 Q_2 、 Q_3 的周期分别是计数脉冲(CP)周期的2倍、4倍、8倍、16倍，因而计数器也可作为分频器。

(2) 二进制异步减法计数器

用4个上升沿触发的D触发器组成的4位异步二进制减法计数器。

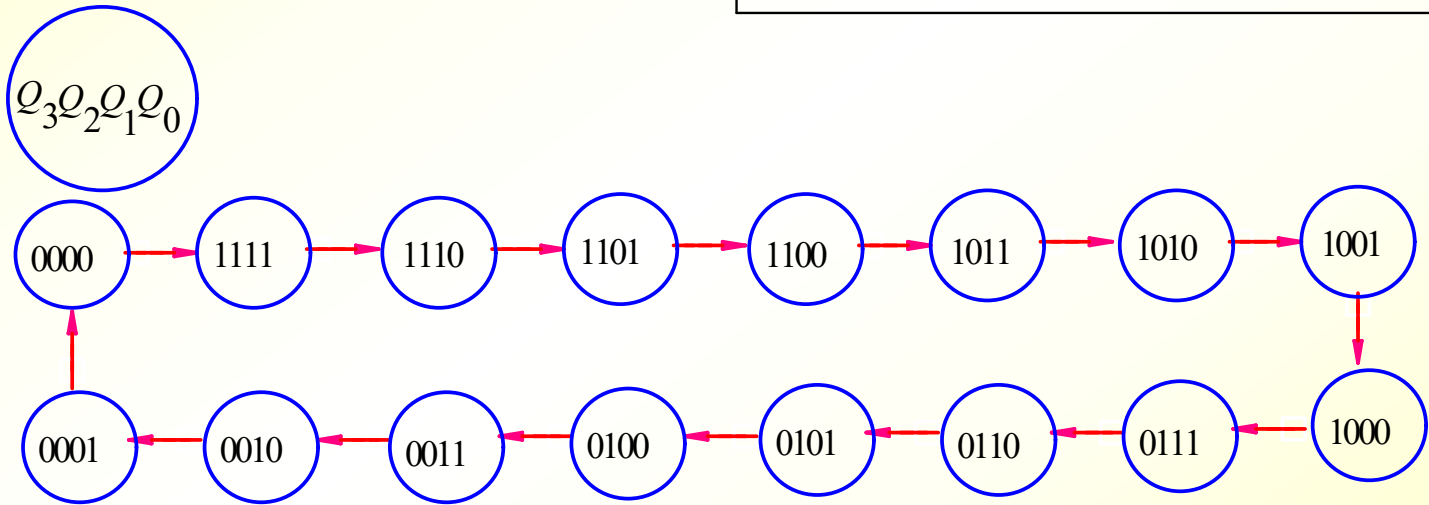
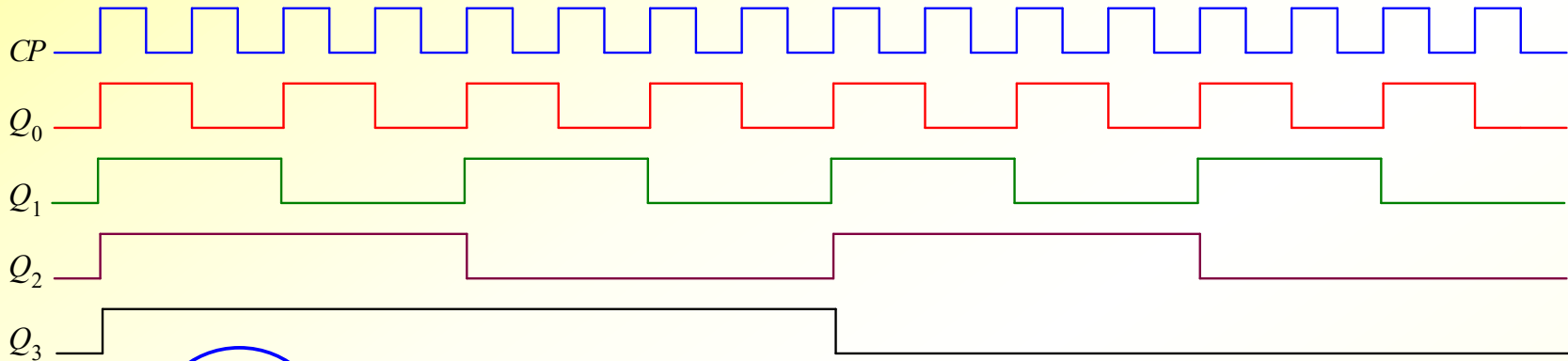


工作原理：D触发器也都接成T'触发器。

由于是上升沿触发，则应将低位触发器的Q端与相邻高位触发器的时钟脉冲输入端相连，即从Q端取借位信号。

它也同样具有分频作用。

二进制异步减法计数器的时序波形图和状态图。



在异步计数器中，高位触发器的状态翻转必须在相邻触发器产生进位信号（加计数）或借位信号（减计数）之后才能实现，所以工作速度较低。为了提高计数速度，可采用同步计数器。

2. 二进制同步计数器

(1) 二进制同步加法计数器

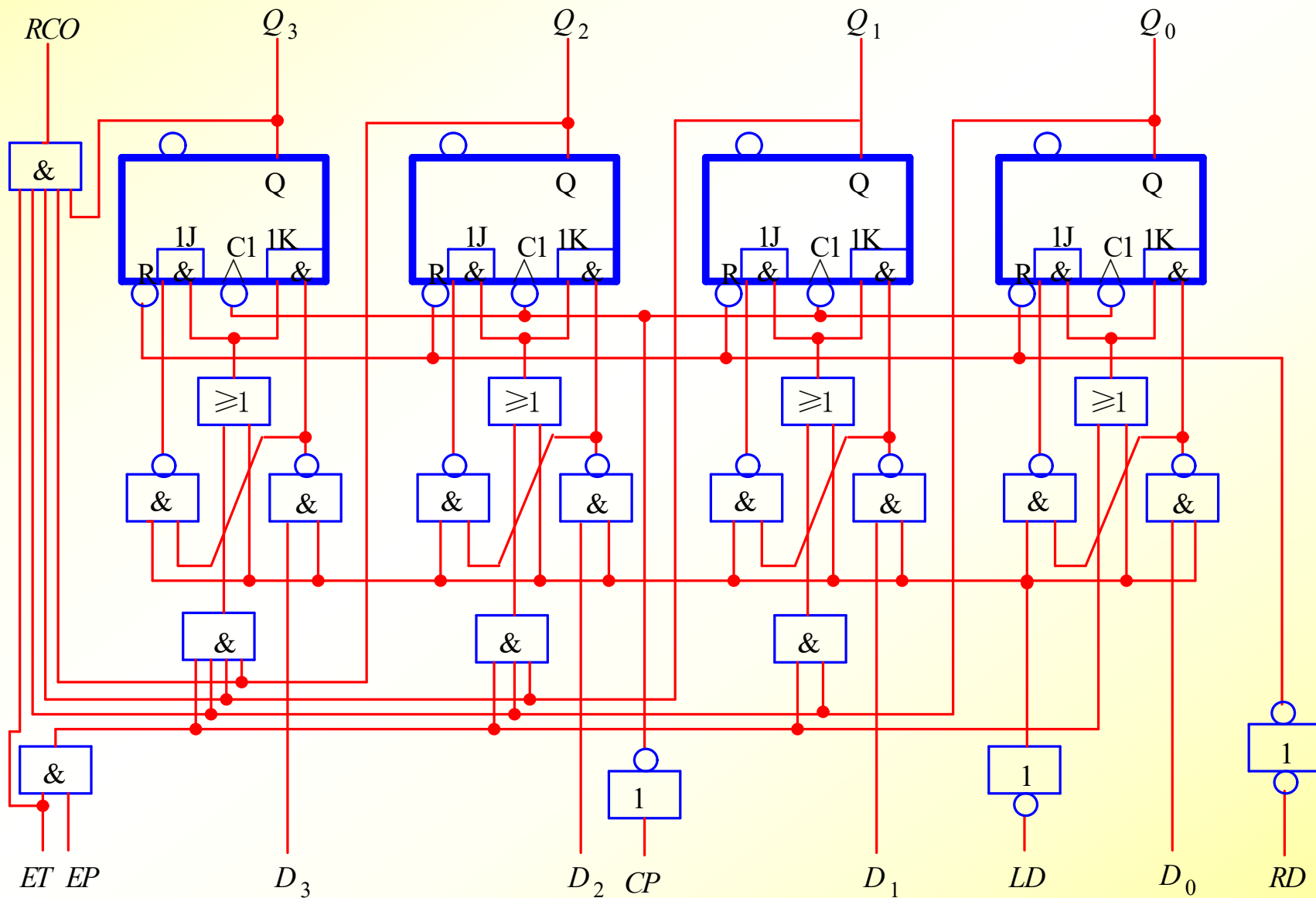
由于该计数器的翻转规律性较强，只需用“观察法”就可设计出电路：

因为是“同步”方式，所以将所有触发器的CP端连在一起，接计数脉冲。

然后分析状态图，选择适当的JK信号。

计数脉冲 序号	电 路 状 态				等效十进 制数
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

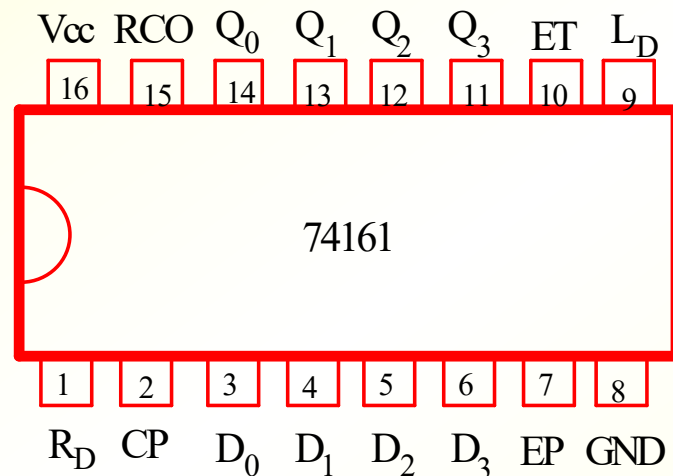
4位二进制同步加法计数器74161



74161具有以下功能:

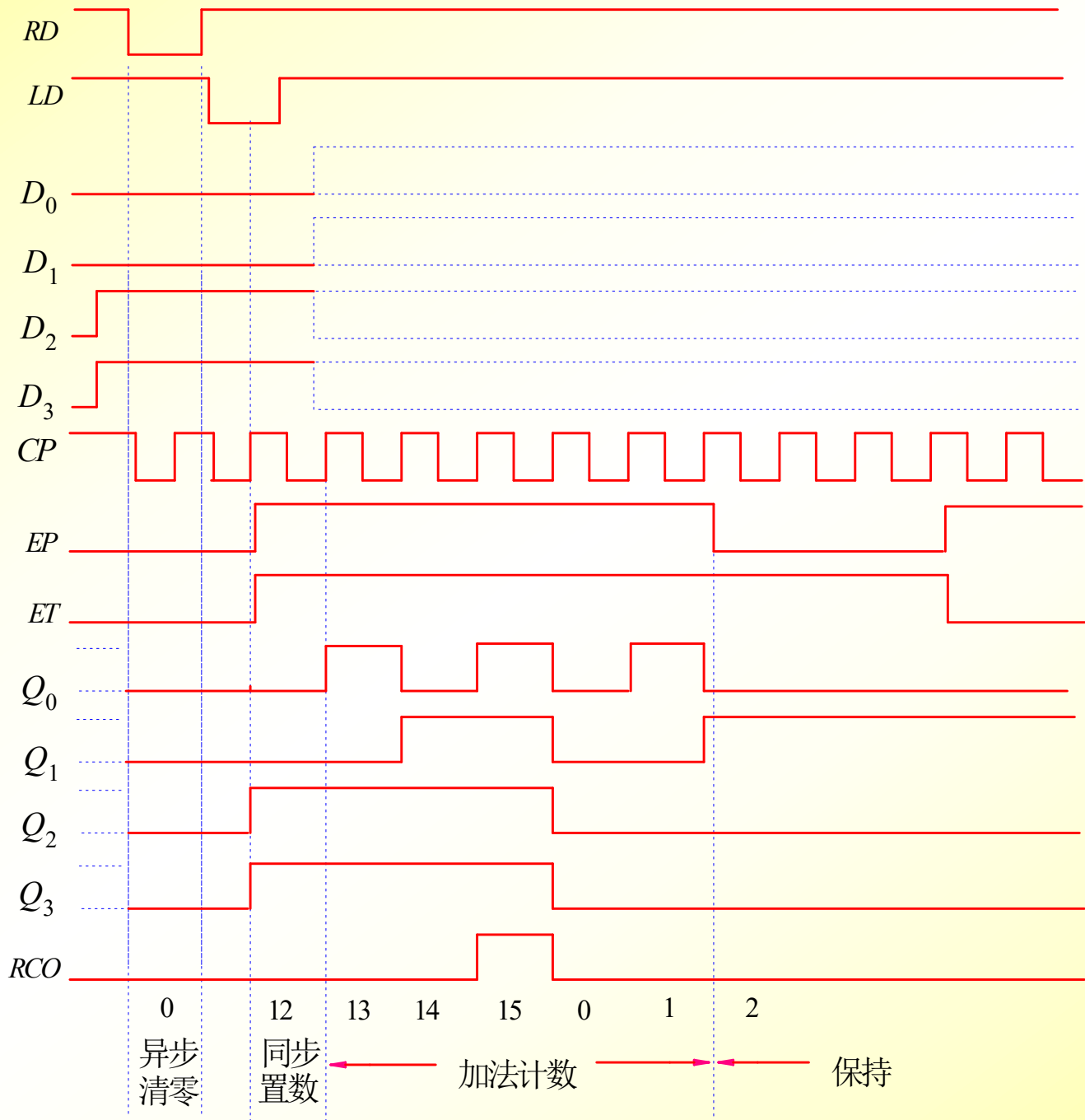
- ① 异步清零。
- ② 同步并行预置数。
- ③ 计数。
- ④ 保持。

RCO 为进位输出端。

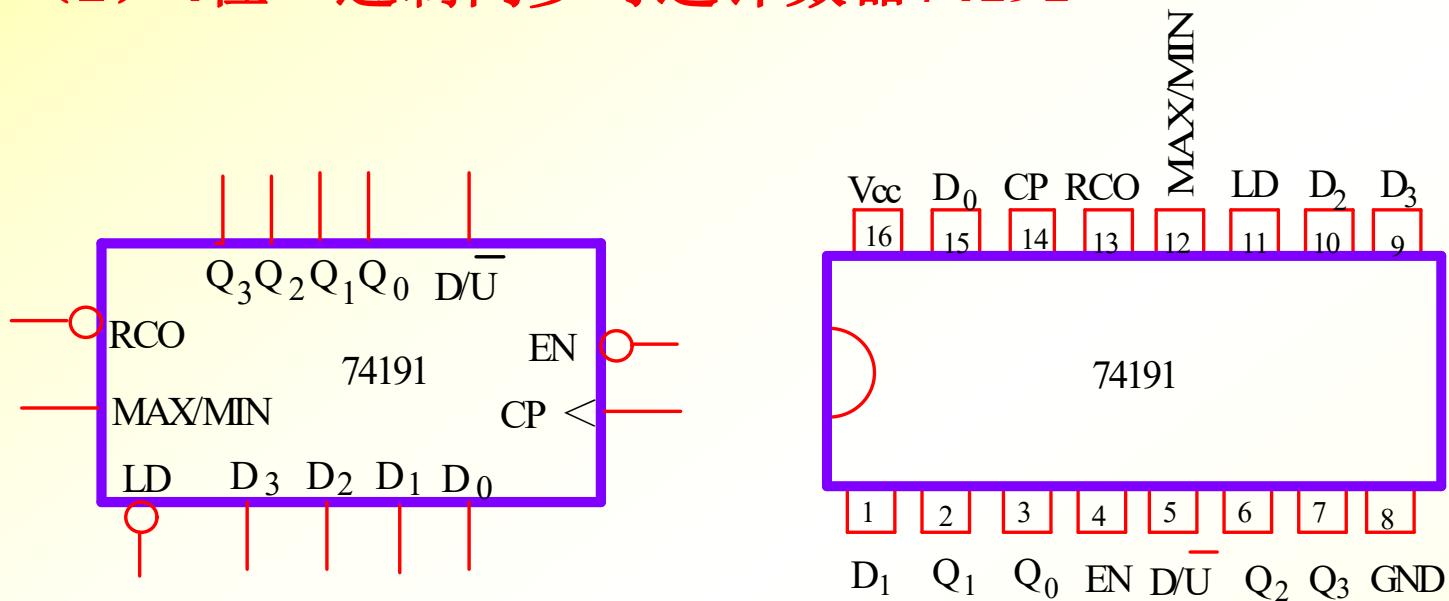


74161的功能表

清零	预置	使能		时钟	预置数据输入				输出				工作模式
R_D	L_D	EP	ET	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	同步置数
1	1	0	×	×	×	×	×	×	保持				数据保持
1	1	×	0	×	×	×	×	×	保持				数据保持
1	1	1	1	↑	×	×	×	×	计数				加法计数



(2) 4位二进制同步可逆计数器74191



74191的功能表

预置	使能	加/减控制	时钟	预置数据输入	输出	工作模式
L_D	EN	D/\bar{U}	CP	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$	
0	×	×	×	$d_3 d_2 d_1 d_0$	$d_3 d_2 d_1 d_0$	异步置数
1	1	×	×	× × × ×	保持	数据保持
1	0	0	↑	× × × ×	计数	加法计数
1	0	1	↑	× × × ×	计数	减法计数

6.3.2 十进制计数器

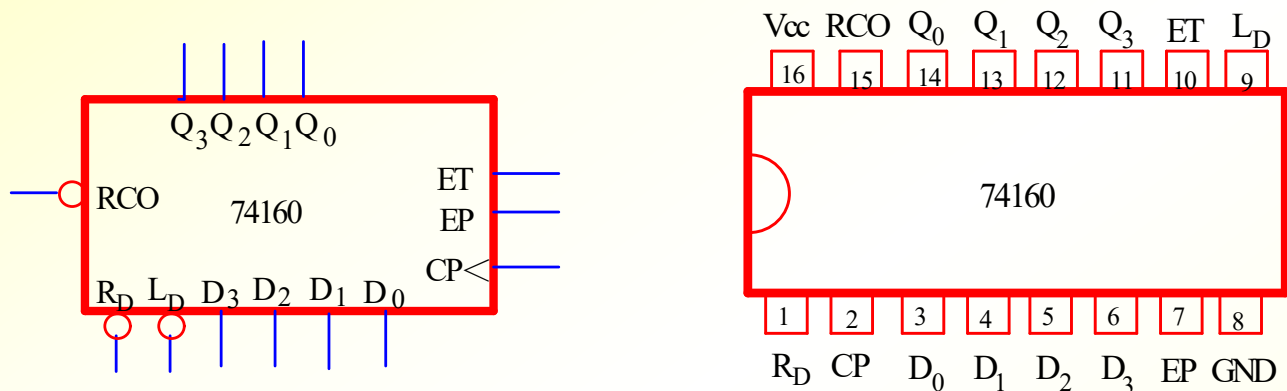
N 进制计数器又称模 N 计数器。

当 $N=2^n$ 时，就是前面讨论的 n 位二进制计数器；

当 $N \neq 2^n$ 时，为非二进制计数器。非二进制计数器中最常用的是十进制计数器。

集成十进制计数器举例

(1) 8421BCD码同步加法计数器74160



74160的功能表

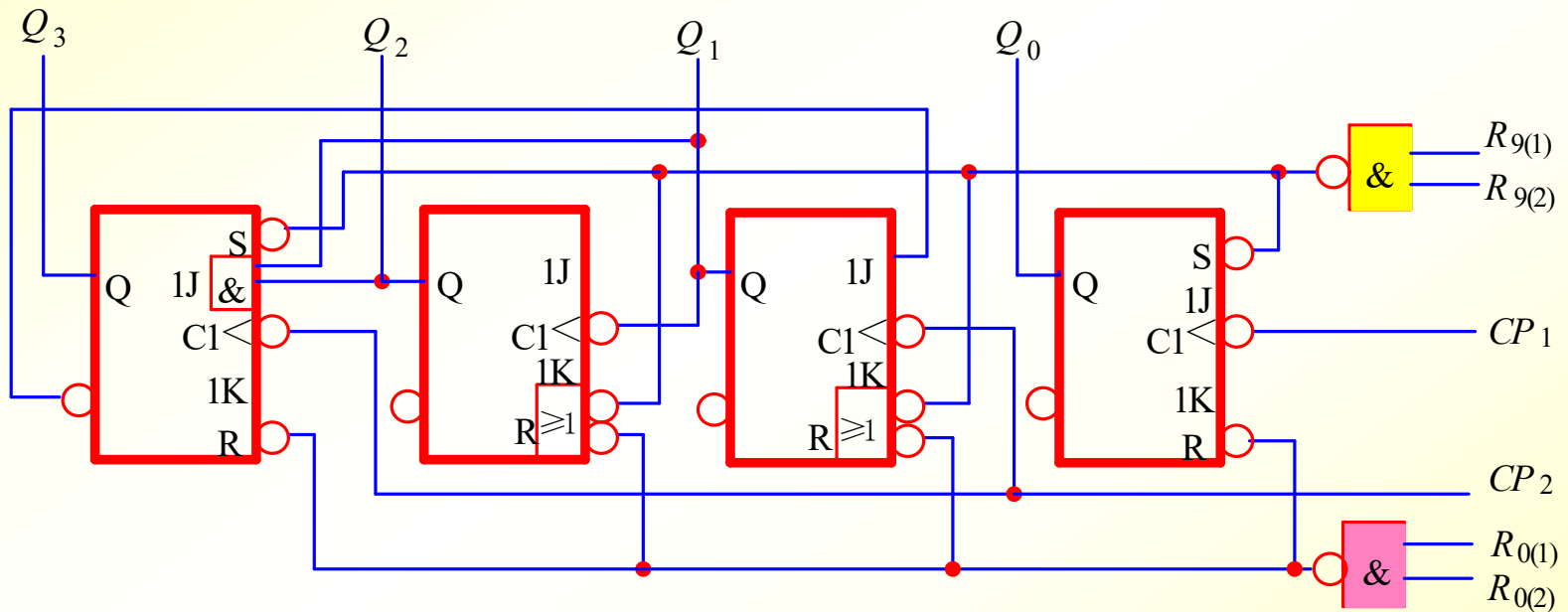
清零	预置	使能	时钟	预置数据输入	输出	工作模式							
R_D	L_D	EP ET	CP	D_3 D_2 D_1 D_0	Q_3 Q_2 Q_1 Q_0								
0	×	×	×	×	×	×	×	×	0	0	0	0	异步清零
1	0	×	×	↑	d_3 d_2 d_1 d_0	d_3 d_2 d_1 d_0	同步置数						
1	1	0	×	×	×	×	×	×	保持	数据保持			
1	1	×	0	×	×	×	×	×	保持	数据保持			
1	1	1	1	↑	×	×	×	×	十进制计数	加法计数			

(2) 二-五-十进制异步加法计数器74290

74290包含一个独立的1位二进制计数器和一个独立的五进制计数器。

二进制计数器的时钟输入端为 CP_1 ，输出端为 Q_0 ；

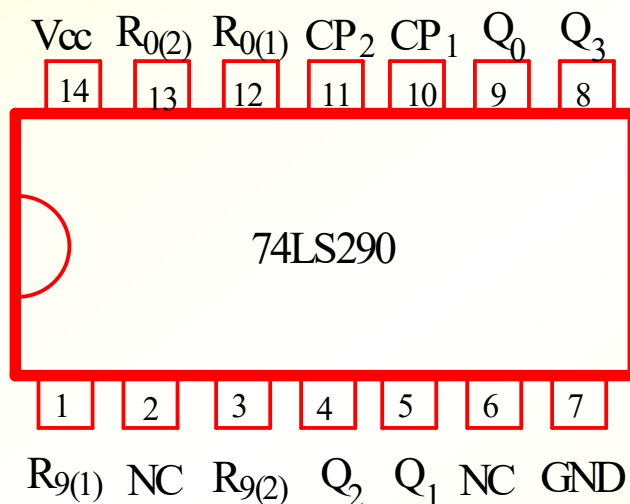
五进制计数器的时钟输入端为 CP_2 ，输出端为 Q_1 、 Q_2 、 Q_3 。



如果将 Q_0 与 CP_2 相连， CP_1 作时钟输入端， $Q_0 \sim Q_3$ 作输出端，则为8421BCD码十进制计数器。如果将 Q_3 与 CP_0 相连， CP_2 作时钟输入端，从高位到低位的输出为 $Q_0 Q_3 Q_2 Q_1$ 时，则构成5421BCD码十进制计数器。

74290的功能:

- ① 异步清零。
- ② 异步置数（置9）。
- ③ 计数。



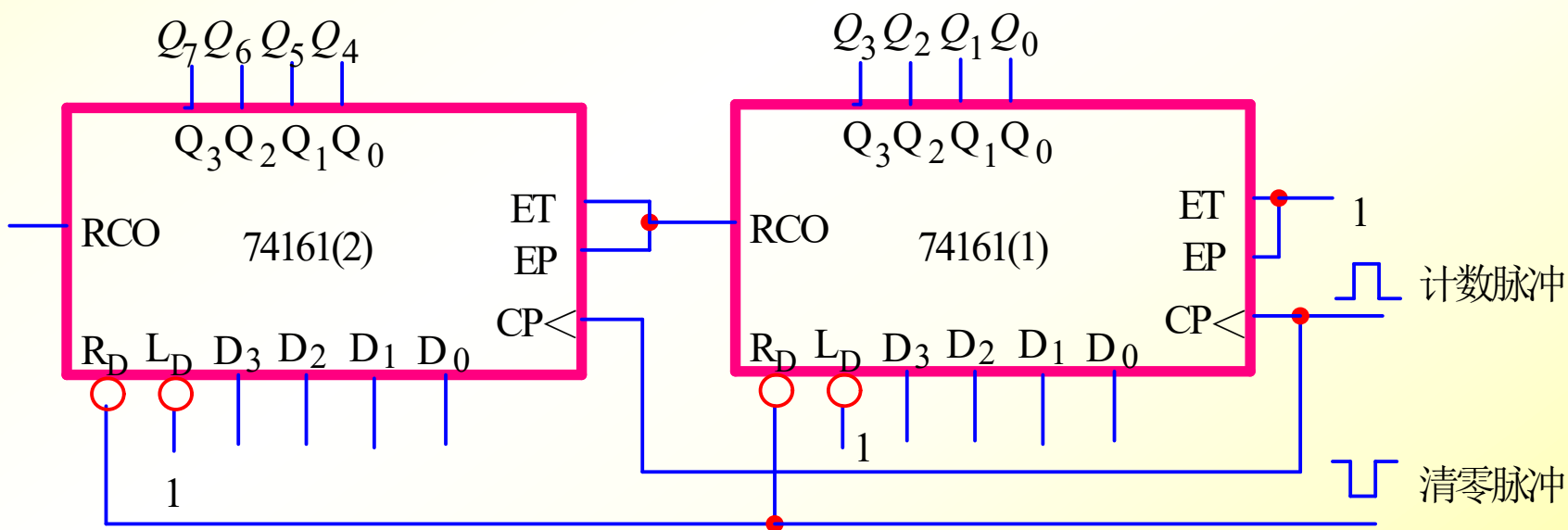
复位输入		置位输入		时 钟	输 出				工作模式
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	CP	Q ₃	Q ₂	Q ₁	Q ₀	
1	1	0	×	×	0	0	0	0	异步清零
1	1	×	0	×	0	0	0	0	
0	×	1	1	×	1	0	0	1	异步置数
×	0	1	1	×	1	0	0	1	
0	×	0	×	↓	计 数				加法计数
0	×	×	0	↓	计 数				
×	0	0	×	↓	计 数				
×	0	×	0	↓	计 数				

集成计数器的应用

1. 计数器的级联

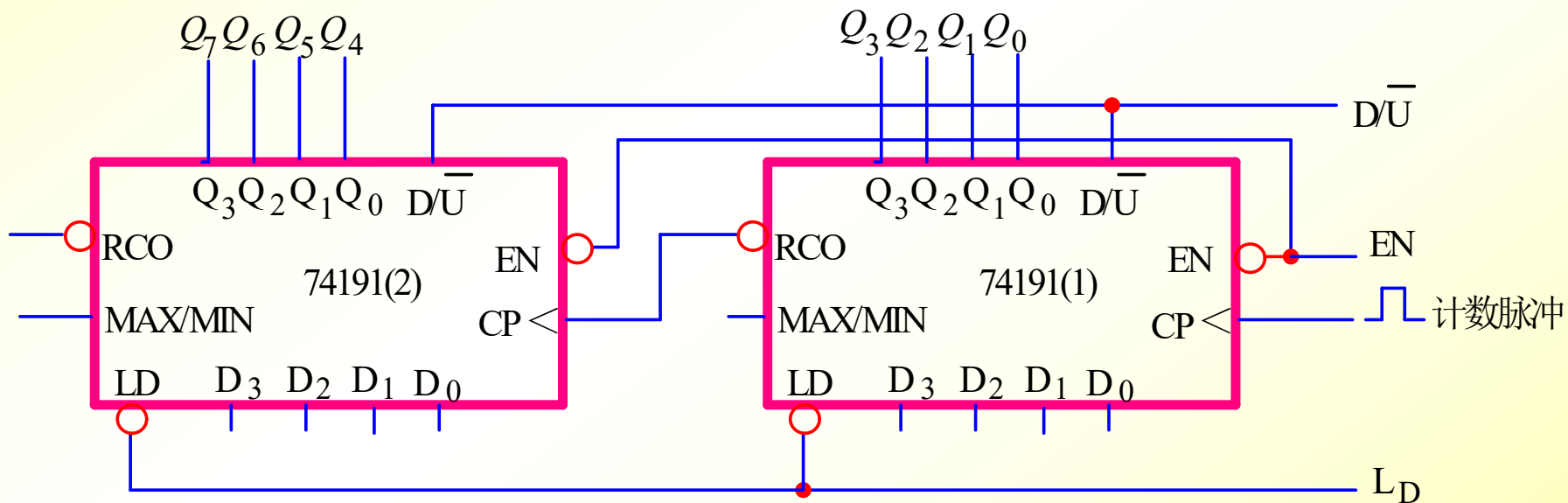
(1) 同步级联。

例：用两片4位二进制加法计数器74161采用同步级联方式构成的8位二进制同步加法计数器，模为 $16 \times 16 = 256$ 。



(2) 异步级联

例：用两片74191采用异步级联方式构成8位二进制异步可逆计数器。

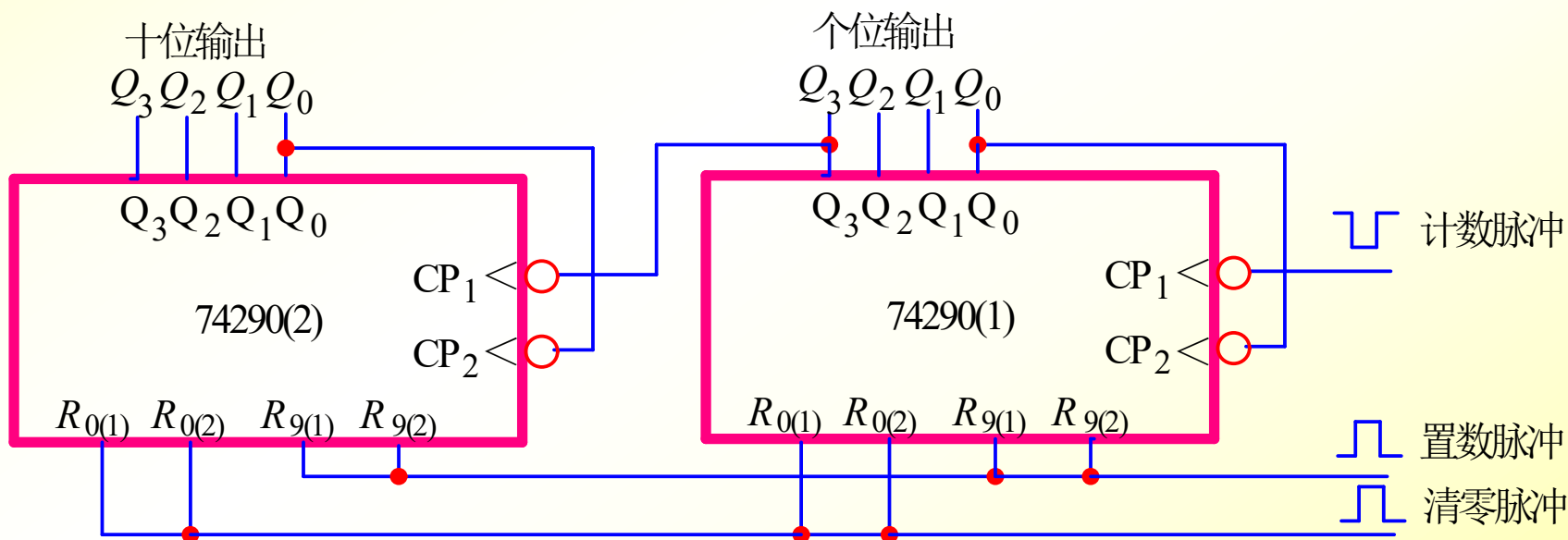


(3) 用计数器的输出端作进位/借位端

有的集成计数器没有进位/借位输出端，这时可根据具体情况，用计数器的输出信号 Q_3 、 Q_2 、 Q_1 、 Q_0 产生一个进位/借位。

例：用两片74290采用异步级联方式组成的二位8421BCD码十进制加法计数器。

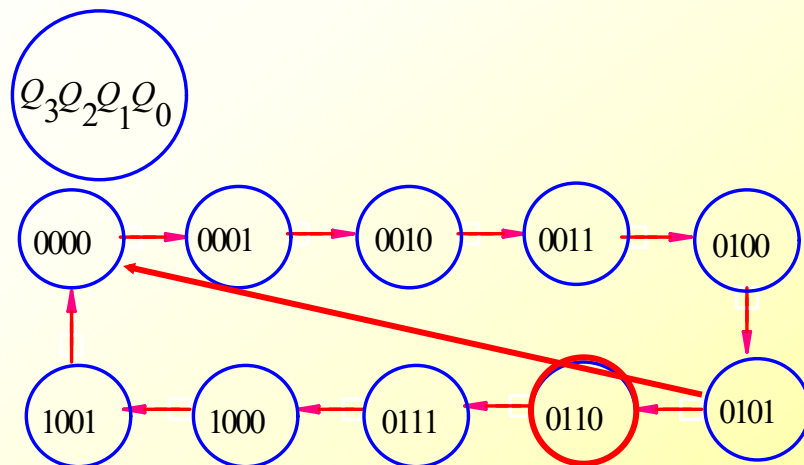
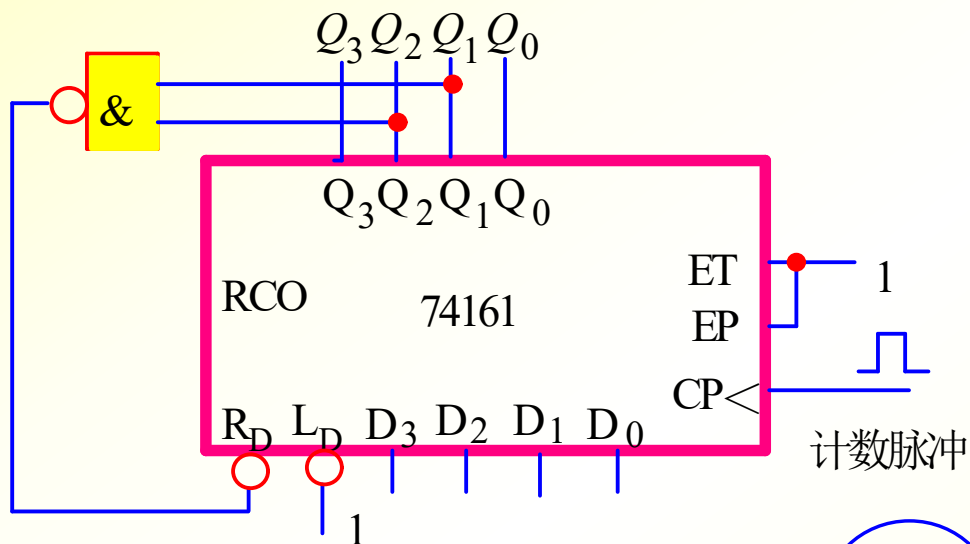
模为 $10 \times 10 = 100$



2. 组成任意进制计数器

(1) 异步清零法——适用于具有异步清零端的集成计数器。

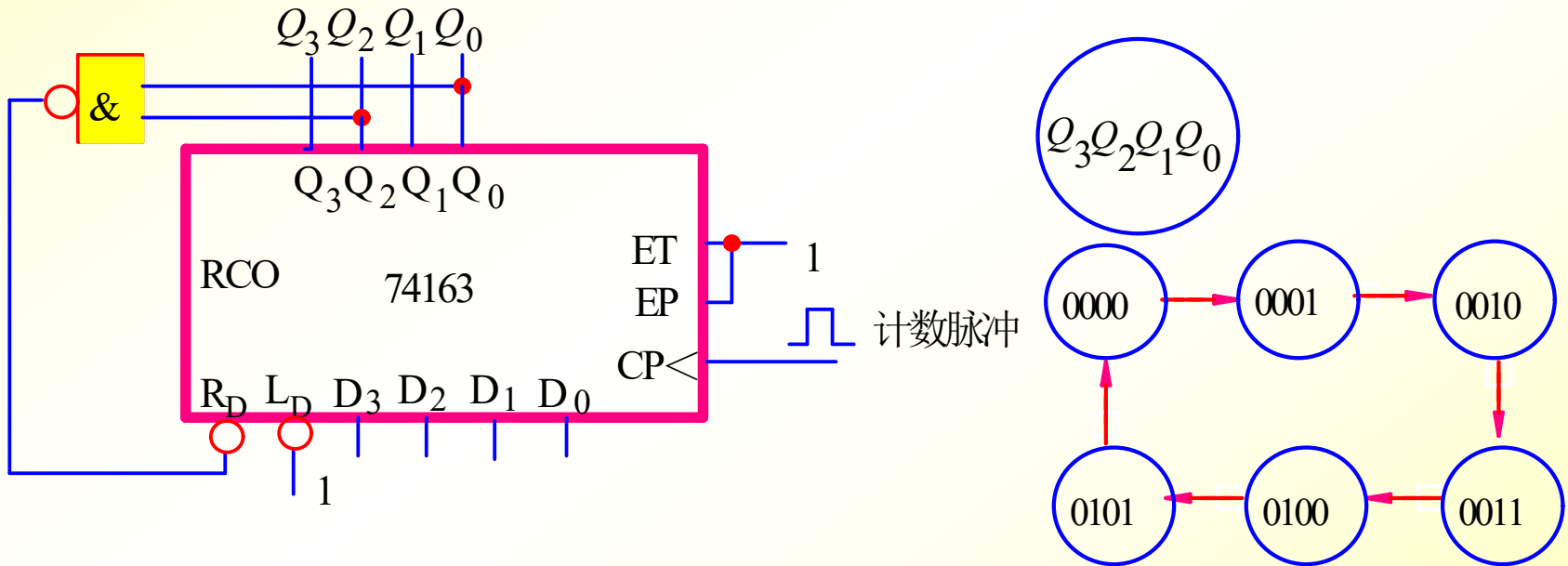
例：用集成计数器74160和与非门组成的6进制计数器。



(2) 同步清零法

同步清零法适用于具有同步清零端的集成计数器。

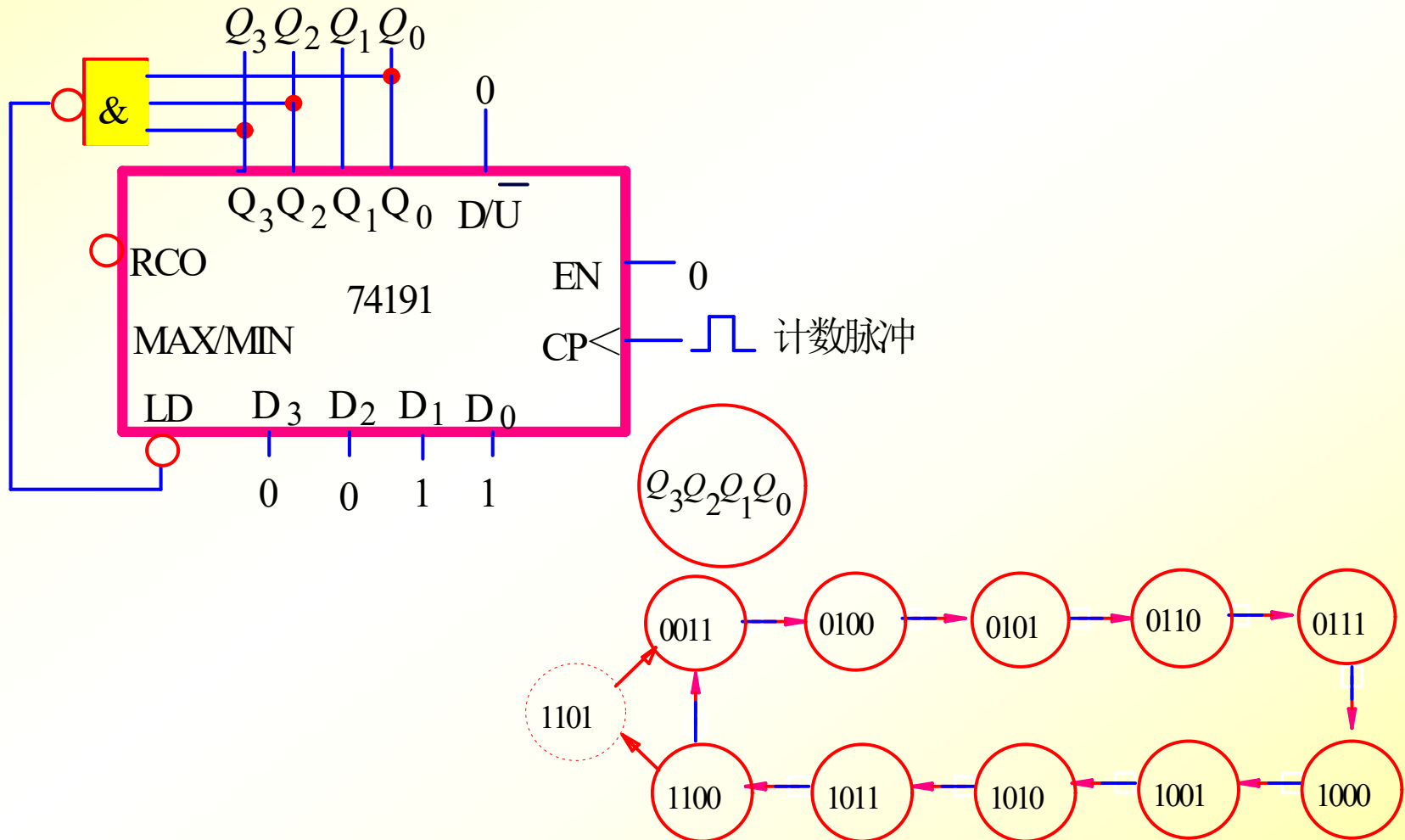
例：用集成计数器74163和与非门组成的6进制计数器。



(3) 异步预置数法

异步预置数法适用于具有异步预置端的集成计数器。

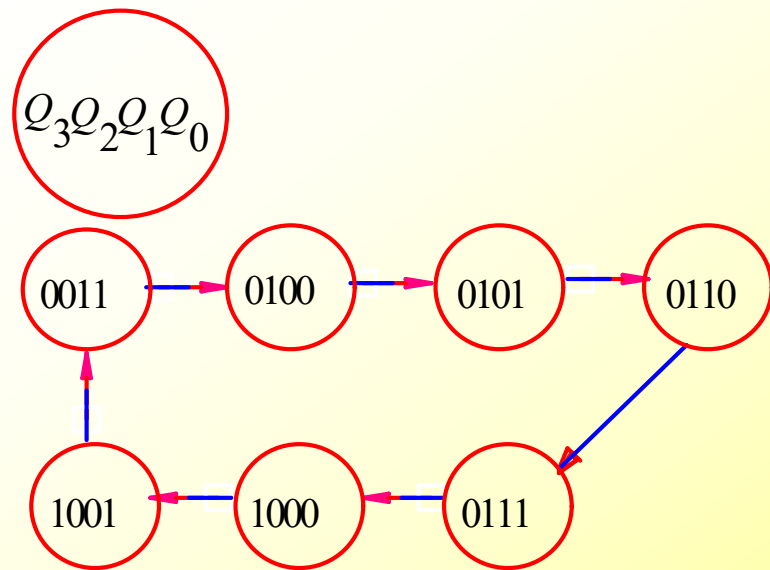
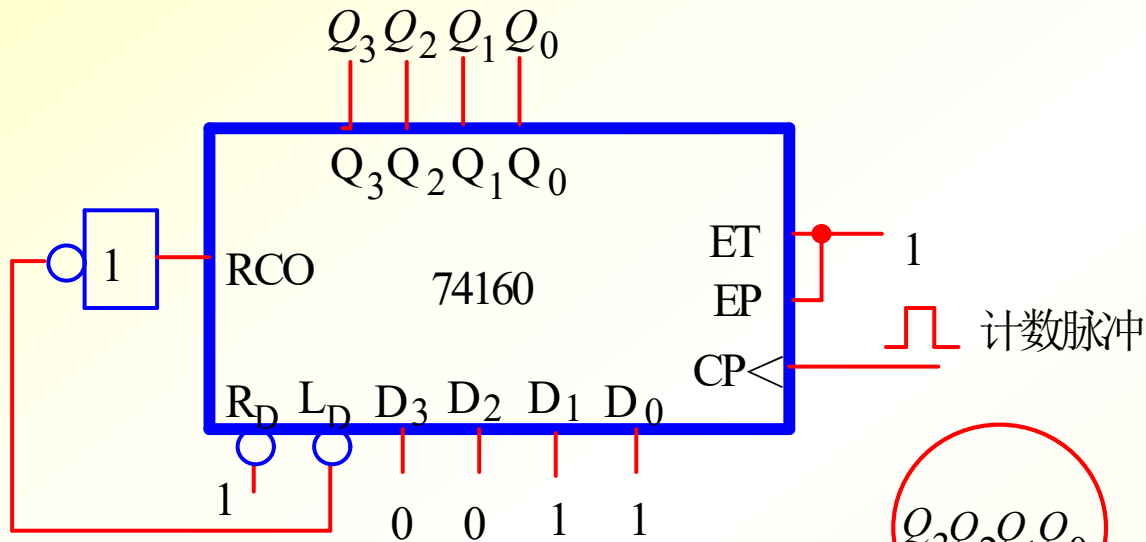
例：用集成计数器74191和与非门组成的余3码10进制计数器。



(4) 同步预置数法

同步预置数法适用于具有同步预置端的集成计数器。

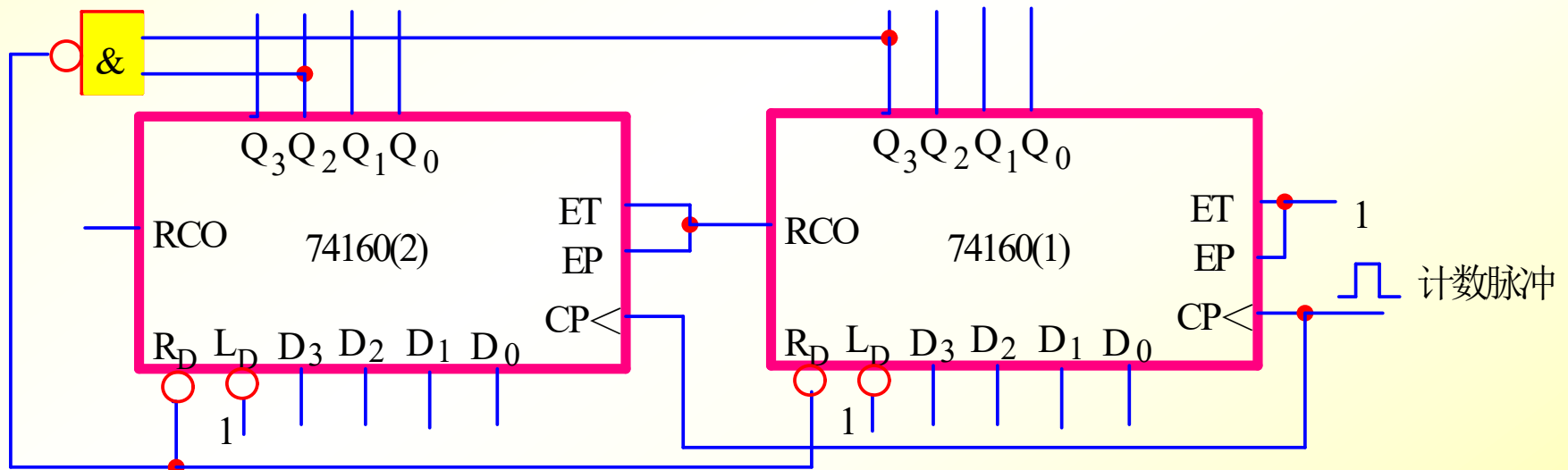
例：用集成计数器74160和与非门组成的7进制计数器。



例 用74160组成48进制计数器。

解：因为 $N=48$ ，而74160为模10计数器，所以要用两片74160构成。

先将两芯片采用同步级联方式连接成100进制计数器，
然后再用异步清零法组成了48进制计数器。

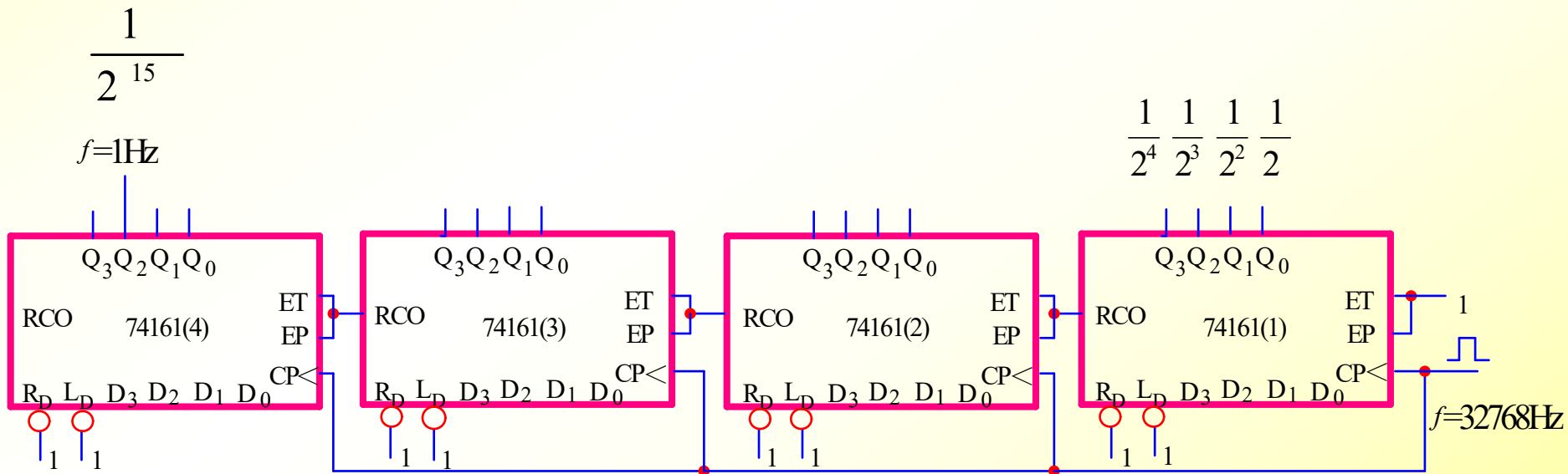


3. 组成分频器

前面提到，模 N 计数器进位输出端输出脉冲的频率是输入脉冲频率的 $1/N$ ，因此可用模 N 计数器组成 N 分频器。

例 某石英晶体振荡器输出脉冲信号的频率为 32768Hz ，用74161组成分频器，将其分频为频率为 1Hz 的脉冲信号。

解： 因为 $32768=2^{15}$ ，经15级二分频，就可获得频率为 1Hz 的脉冲信号。因此将四片74161级联，从高位片（4）的 Q_2 输出即可。



6.4 集成计数器应用与实验

6.4.1 集成计数器的应用

1. 计数器的级联

(1) 同步级联

图6.11是用两片4位二进制加法计数器74161采用同步级联方式构成的8位二进制同步加法计数器，模为 $16 \times 16 = 256$

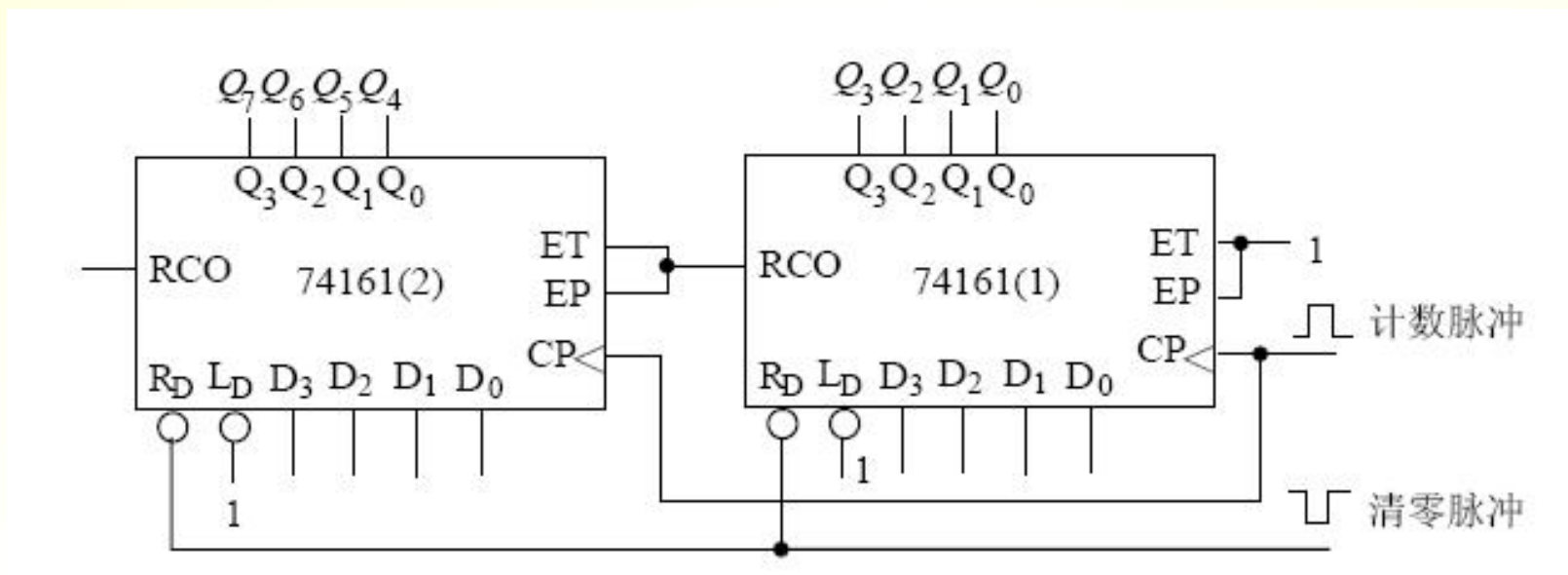
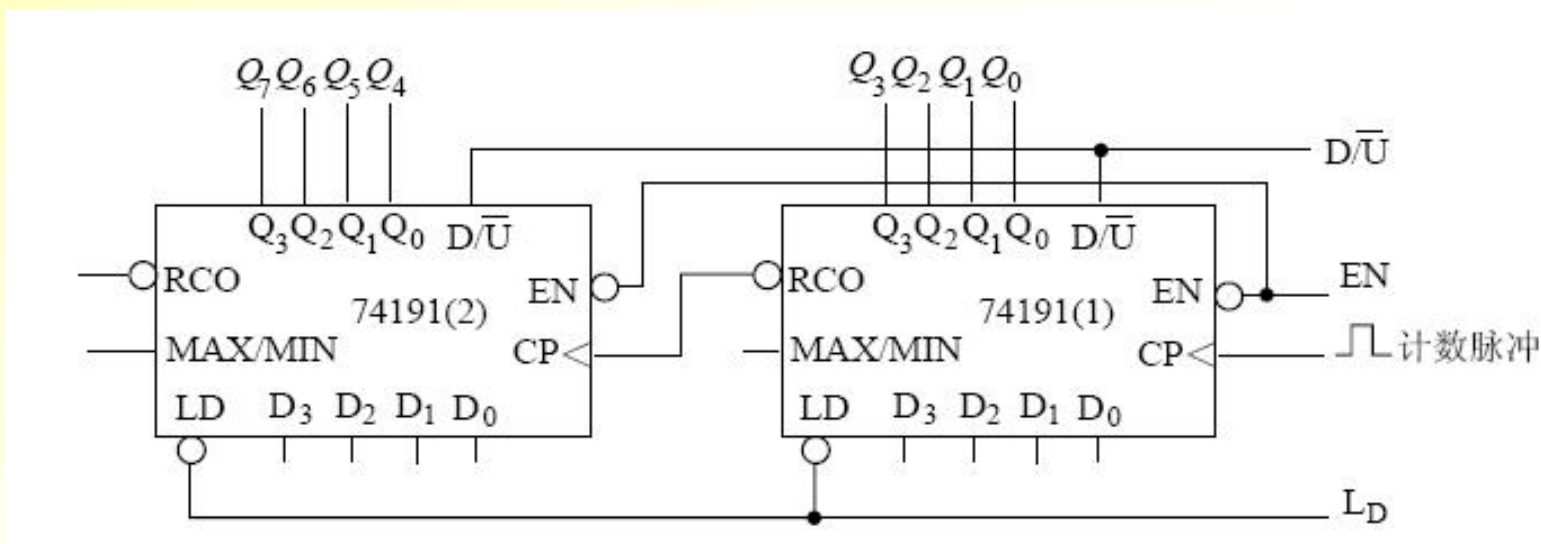


图6.11 74161 同步级联组成8位二进制加法计数器

(2) 异步级联

用两片74191 采用异步级联方式构成的8 位二进制异步可逆计数器如图6.12所示



6.4.2 计数器实验

一、实验目的

- (1) 熟悉由集成触发器构成的计数器电路及其工作原理。
- (2) 熟练掌握中规模集成电路计数器及其应用方法。

二、实验原理

1. 异步二进制加法计数器

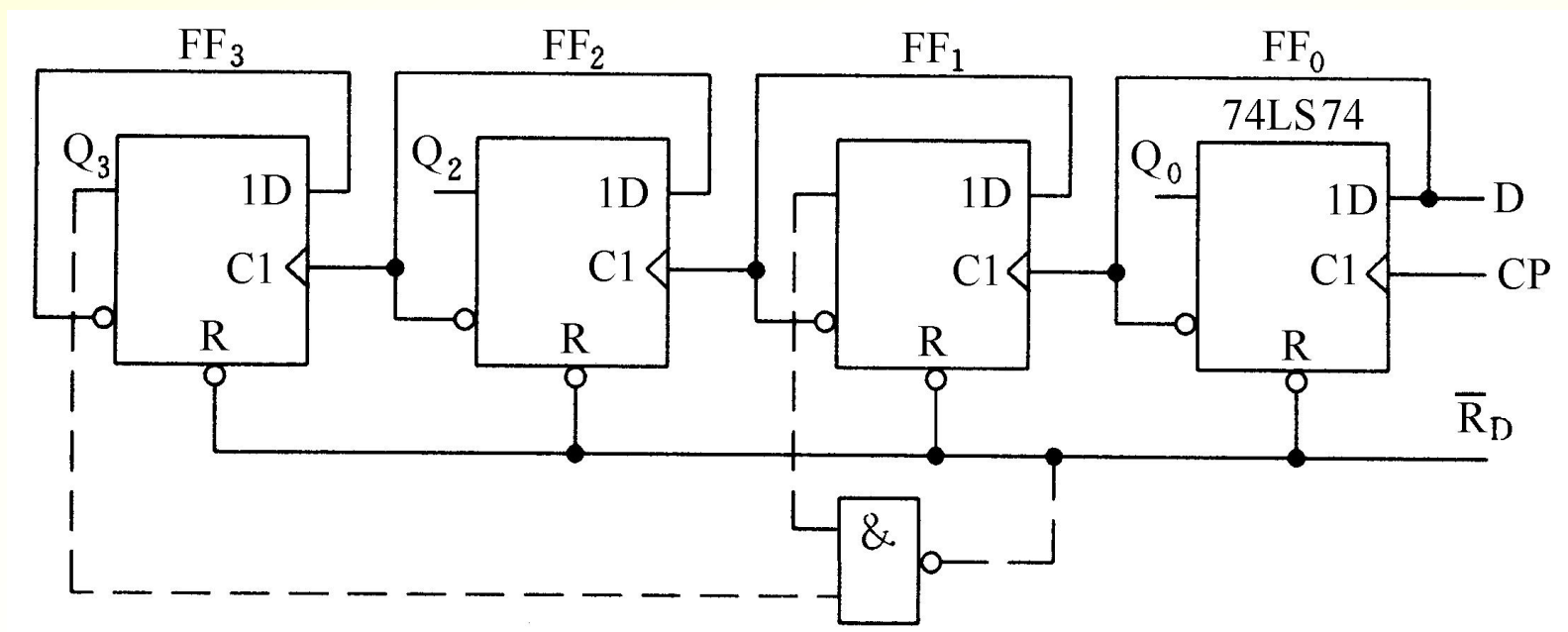


图6.17 用74LS74构成的四位异步二进制加法计数器

2. 集成计数器

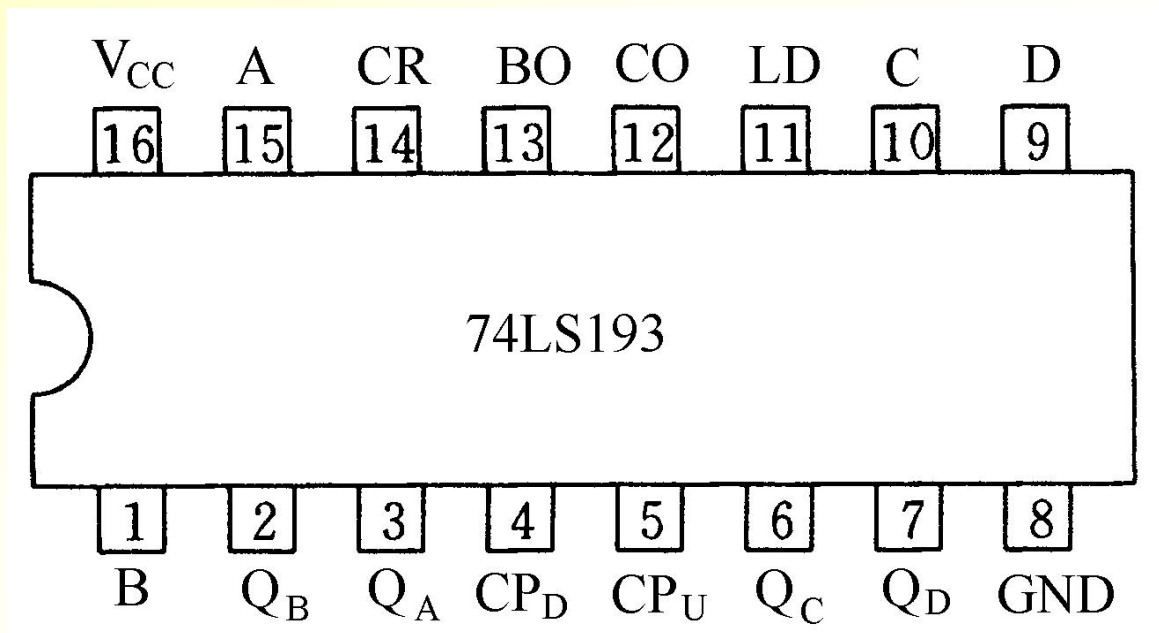


图6.18 74LS193外引脚排列图

三、实验仪器与器件

数字实验系统：一台；直流稳压电源：一台；集成电路：74LS74, 74LS193, 74LS00各一片。

四、实验内容与步骤

1. 异步二进制加法计数器

按如图6.17所示连接线路。其中CP接单次脉冲（或连续脉冲），

$\overline{R_D}$ 端接实验箱上的复位开关， Q_0, Q_1, Q_2, Q_3 分别接LED，检查无误后接通电源。

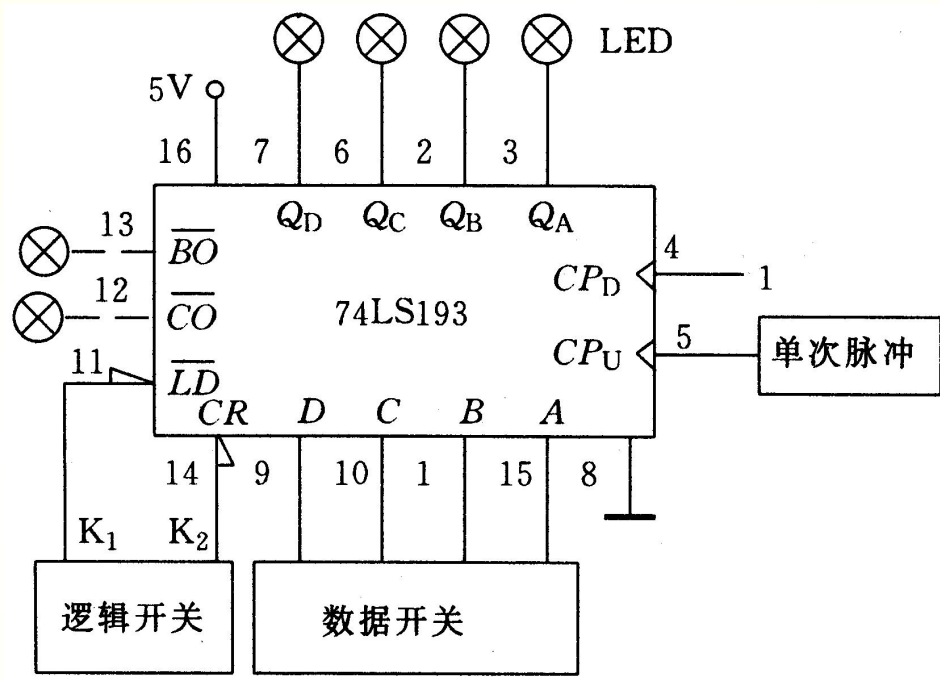
先将计数器清零，然后启动单次脉冲（输入CP脉冲），计数器应按二进制方式工作。

2. 异步十进制加法计数器

在图6.17中，将 Q_3, Q_1 两输出端接至与非门的输入端，输出端接计数器的四个清零端 $\overline{R_D}$

，如图中虚线所示，启动单次脉冲输入，就可发现其逻辑功能为十进制（8421BCD码）计数器。

3. 集成计数器74LS193的功能验证



五、实验分析和总结

- (1) 整理实验电路，画出各计数器的时序状态图和波形图。
- (2) 若用74LS193构成十进制计数器，电路应如何连接？

本章小结

(1) 时序电路的输出不仅和即刻的输入有关，而且还和电路原来的状态有关。时序电路在结构上通常都包含存储电路和组合电路两部分，其中存储电路是必不可少的。

(2) 时序电路按照其存储电路中是否有统一的时钟控制，分为同步时序电路和异步时序电路两大类型。常用的时序逻辑电路有寄存器、计数器、存储器。

(3) 寄存器是具有存储数码或信息功能的逻辑电路。它分为数码寄存器和移位寄存器两类。数码寄存器常采用并行输入—并行输出的方式存储。移位寄存器的特点是不仅能存放由数码组成的数据，而且能将数码所在的高位或低位状态进行移位（左移、右移和双向移位）。

(4) 计数器是对脉冲的个数进行计数，即具有计数功能的电路。计数器有二进制和非二进制、异步和同步、加、减、可逆计数等类别，目前多采用集成组件。