

第4章 组合逻辑电路

4.1 组合逻辑电路的基本知识

4.2 常见的组合逻辑电路

4.3 应用与实验

4.1 组合逻辑电路的分析方法

4.1.1 组合逻辑电路的特点

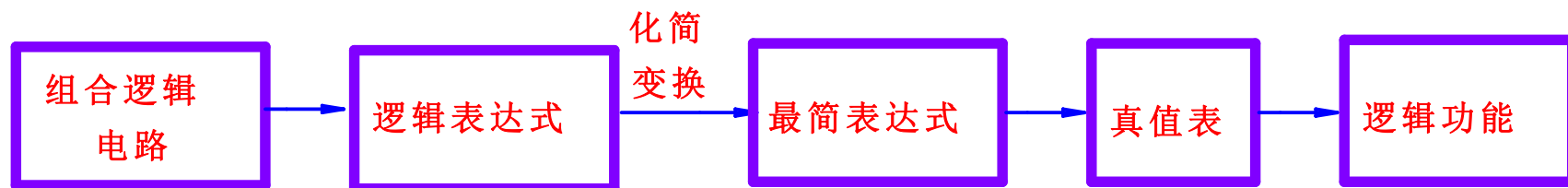
电路任一时刻的输出状态只决定于该时刻各输入状态的组合，而与电路的原状态无关。

组合电路就是由门电路组合而成，电路中没有记忆单元，没有反馈通路。

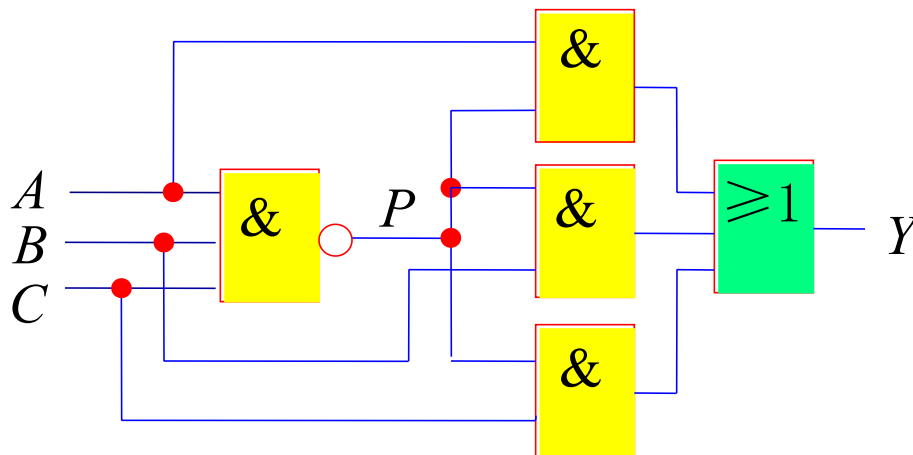
组合逻辑电路可以用逻辑表达式、真值表、逻辑图和卡诺图四种方法中的任何一种表示其逻辑功能

4.1.2 组合逻辑电路的分析

分析过程一般包含以下几个步骤：



例 组合电路如图所示，分析该电路的逻辑功能。



解：（1）由逻辑图逐级写出表达式（借助中间变量P）。

$$P = \overline{ABC}$$

$$Y = AP + BP + CP = \overline{A}ABC + B\overline{A}BC + C\overline{A}BC$$

（2）化简与变换：

$$Y = \overline{ABC}(A + B + C) = \overline{ABC} + \overline{A + B + C} = \overline{ABC} + \overline{ABC}$$

真值表

（3）由表达式列出真值表。

（4）分析逻辑功能：

当A、B、C三个变量不一致时，输出为“1”，所以这个电路称为“不一致电路”。

&

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

4.1.3 组合逻辑电路的设计方法

设计过程的基本步骤：



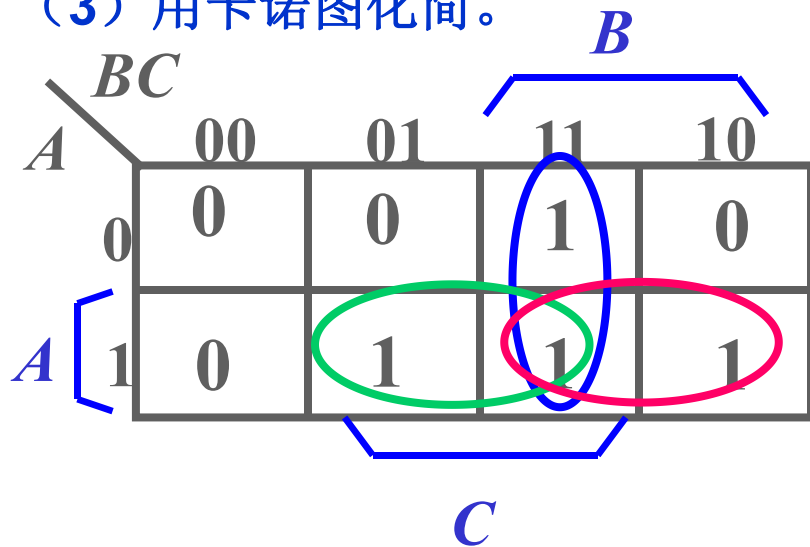
例3.4.1: 设计一个三人表决电路，结果按“少数服从多数”的原则决定。

解：（1）列真值表：

三人表决电路真值表

<i>A</i>	<i>B</i>	<i>C</i>	<i>Y</i>
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

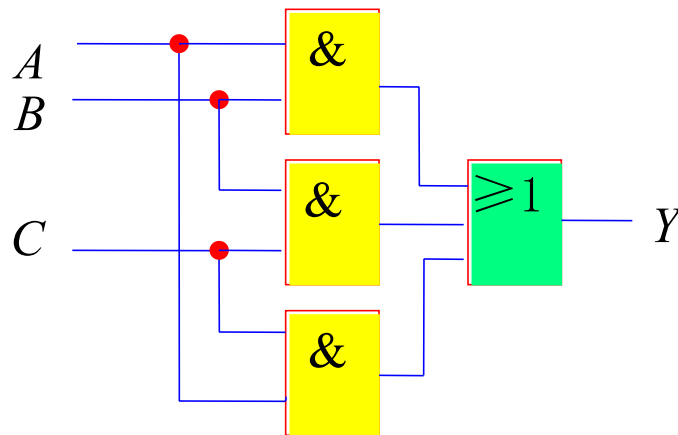
（3）用卡诺图化简。



得最简与—或表达式：

$$Y = AB + BC + AC$$

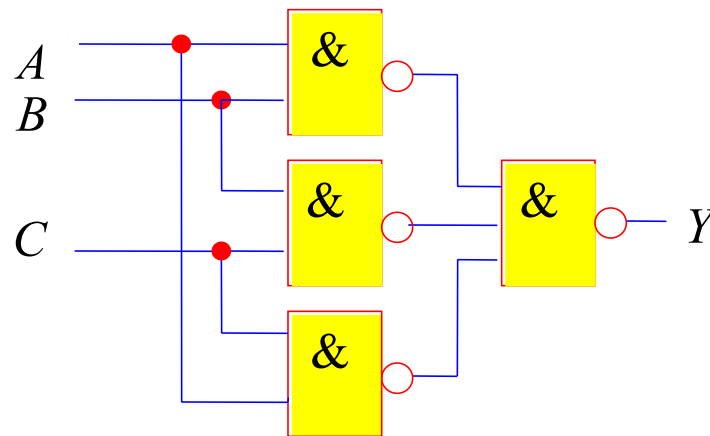
(4) 画出逻辑图：



(5) 如果，要求用与非门实现该逻辑电路，就应将表达式转换成与非—与非表达式：

$$Y = AB + BC + AC = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

画出逻辑图。



例：设计一个电话机信号控制电路。电路有 I_0 （火警）、 I_1 （盗警）和 I_2 （日常业务）三种输入信号，通过排队电路分别从 L_0 、 L_1 、 L_2 输出，在同一时间只能有一个信号通过。如果同时有两个以上信号出现时，应首先接通火警信号，其次为盗警信号，最后是日常业务信号。试按照上述轻重缓急设计该信号控制电路。

真值表

4个2输入端与非门）实现

解：（1）列真值表：

（2）由真值表写出各输出的逻辑表达式：

$$L_0 = I_0$$

$$L_1 = \overline{I_0} I_1$$

$$L_2 = \overline{I_0} \overline{I_1} I_2$$

输 入			输 出		
I_0	I_1	I_2	L_0	L_1	L_2
0	0	0	0	0	0
1	×	×	1	0	0
0	1	×	0	1	0
0	0	1	0	0	1

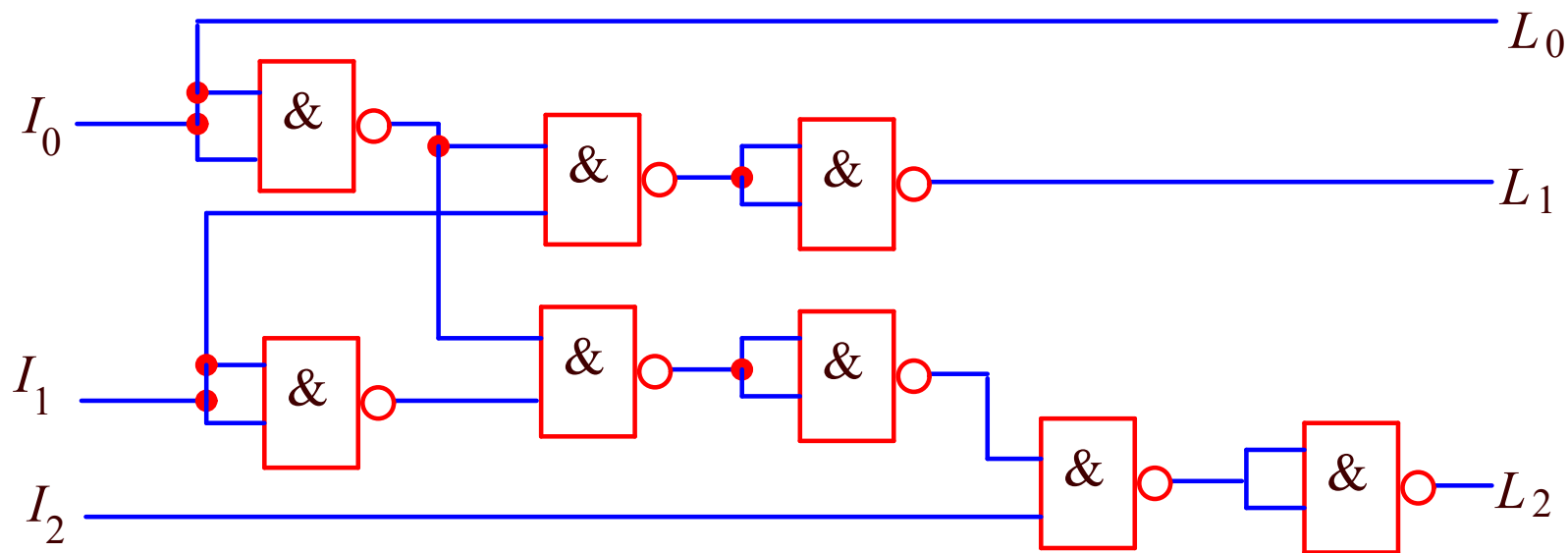
(3) 根据要求，将上式转换为与非表达式：

$$L_0 = I_0$$

$$L_1 = \overline{\overline{I_0} I_1}$$

$$L_2 = \overline{\overline{\overline{I_0} I_1} I_2} = \overline{\overline{I_0} I_1} \cdot I_2$$

(4) 画出逻辑图：



4.2 常见的组合逻辑电路

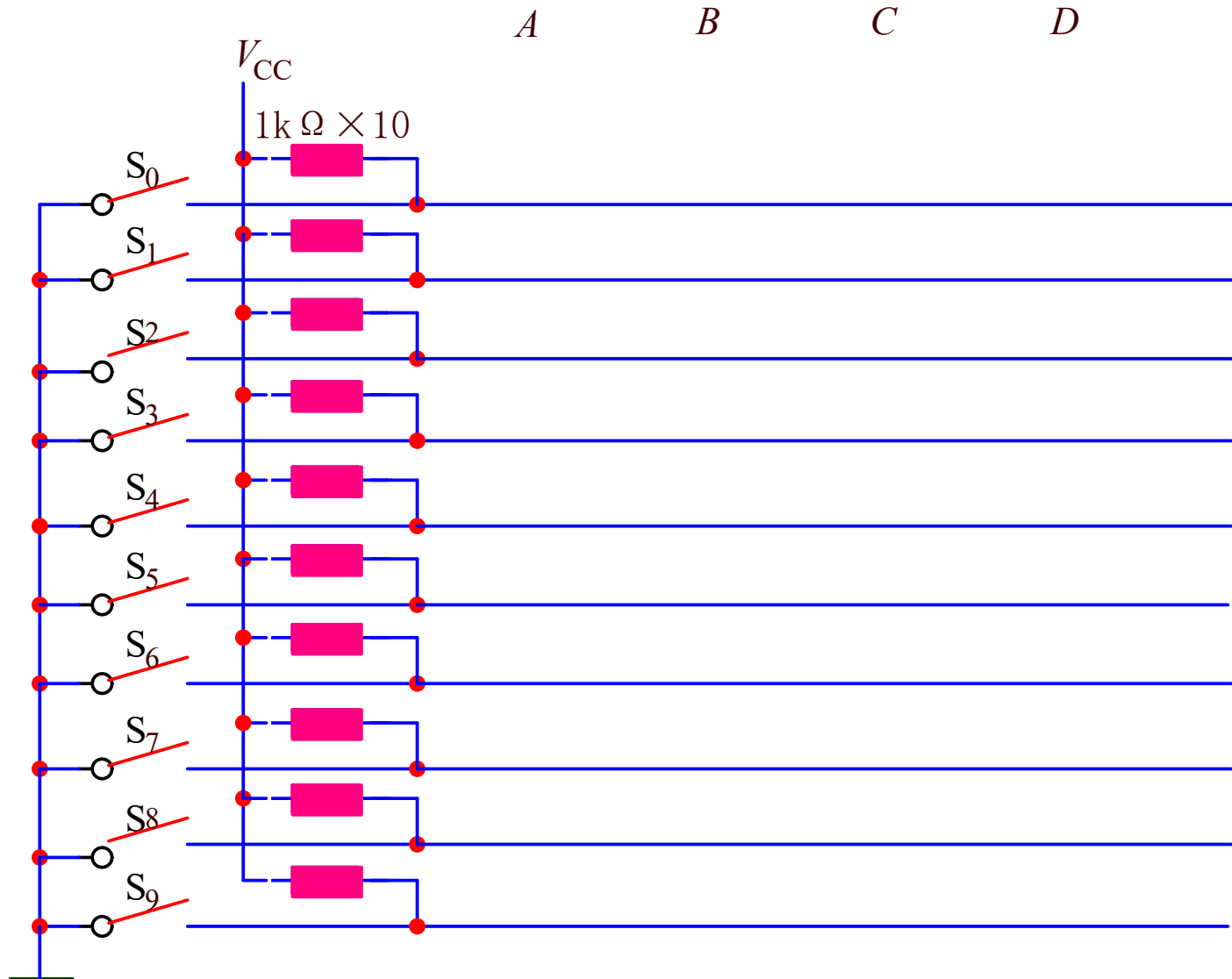
4.2.1 二—十进制编码器

编码——将某一特定的逻辑信号变换为二进制代码。

能够实现编码功能的逻辑部件称为编码器

。

例：设计一个键控8421BCD码编码器。



解：（1）列出真值表：

输 入										输 出				
S_9	S_8	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0	A	B	C	D	
1	1	1	1	1	1	1	1	1	1	0	0	0	0	0
1	1	1	1	1	1	1	1	1	0	1	0	0	0	1
1	1	1	1	1	1	1	1	0	1	1	0	0	1	1
1	1	1	1	1	1	1	0	1	1	1	0	0	1	0
1	1	1	1	1	0	1	1	1	1	1	0	0	1	1
1	1	1	1	0	1	1	1	1	1	1	0	1	0	0
1	1	1	0	1	1	1	1	1	1	1	0	1	0	1
1	1	0	1	1	1	1	1	1	1	1	0	1	1	0
1	0	1	1	1	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0	0	0
											1	0	0	1

（2）由真值表写出各输出的逻辑表达式为：

$$A = \overline{S_8} + \overline{S_9} = \overline{S_8 \cdot S_9}$$

$$B = \overline{S_4} + \overline{S_5} + \overline{S_6} + \overline{S_7} = \overline{S_4 \cdot S_5 \cdot S_6 \cdot S_7}$$

$$C = \overline{S_2} + \overline{S_3} + \overline{S_6} + \overline{S_7} = \overline{S_2 \cdot S_3 \cdot S_6 \cdot S_7}$$

$$D = \overline{S_1} + \overline{S_3} + \overline{S_5} + \overline{S_7} + \overline{S_9} = \overline{S_1 \cdot S_3 \cdot S_5 \cdot S_7 \cdot S_9}$$

重新整理得：

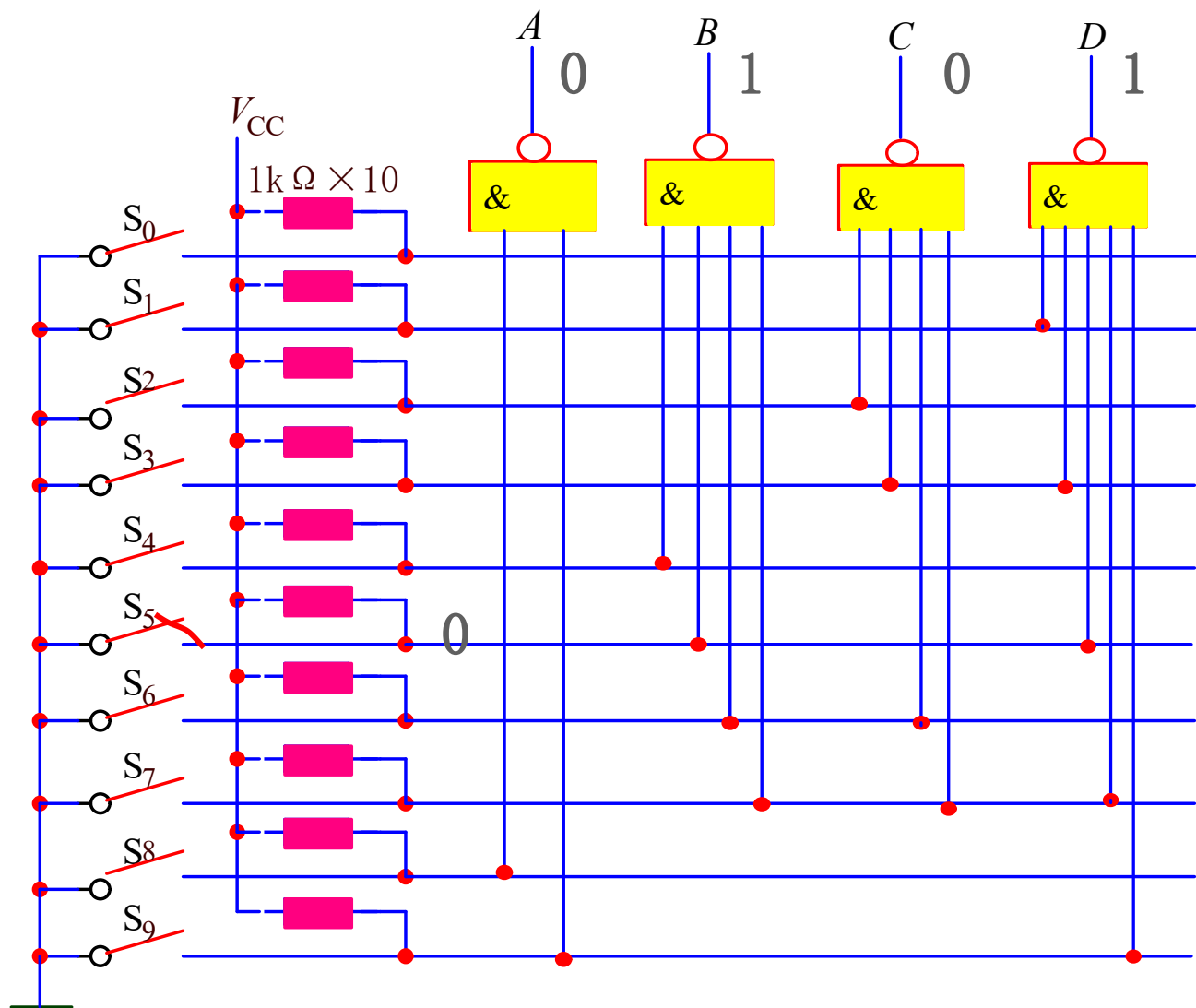
$$A = \overline{S_8 S_9}$$

$$B = \overline{S_4 S_5 S_6 S_7}$$

$$C = \overline{S_2 S_3 S_6 S_7}$$

$$D = \overline{S_1 S_3 S_5 S_7 S_9}$$

(3) 由表达式
画出逻辑图：



优先编码器



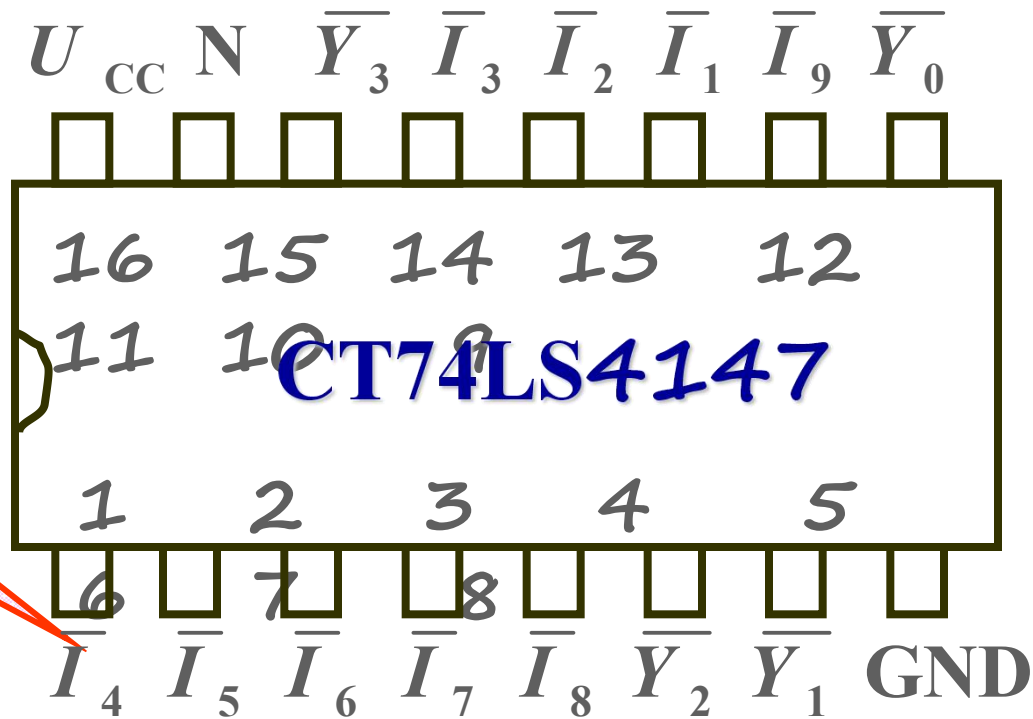
当有**两个或两个以上**的信号同时输入编码电路，电路只能对其中一个优先级别高的信号进行编码。

即允许几个信号同时有效，但电路只对其中优先级别高的信号进行编码，而对其它优先级别低的信号不予理睬。

CT74LS4147 编码器功能表

输入 (低电平有效)									输出(8421反码)			
I_9	I_8	I_7	I_6	I_5	I_4	I_3	I_2	I_1	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
1	1	1	1	1	1	1	1	1	1	1	1	1
0	x	x	x	x	x	x	x	x	x	x	0	0
1	0	x	x	x	x	x	x	x	x	x	0	0
1	1	0	x	x	x	x	x	x	x	x	1	1
1	1	1	0	x	x	x	x	x	x	x	1	1
1	1	1	1	0	x	x	x	x	x	x	1	1
1	1	1	1	1	0	x	x	x	x	x	1	1
1	1	1	1	1	1	0	x	x	x	x	1	1
1	1	1	1	1	1	1	0	x	x	x	1	1
1	1	1	1	1	1	1	1	0	x	x	1	1
1	1	1	1	1	1	1	1	1	0	x	1	1
1	1	1	1	1	1	1	1	1	1	0	1	1

例: CT74LS147集成优先编码器(10线-4线)

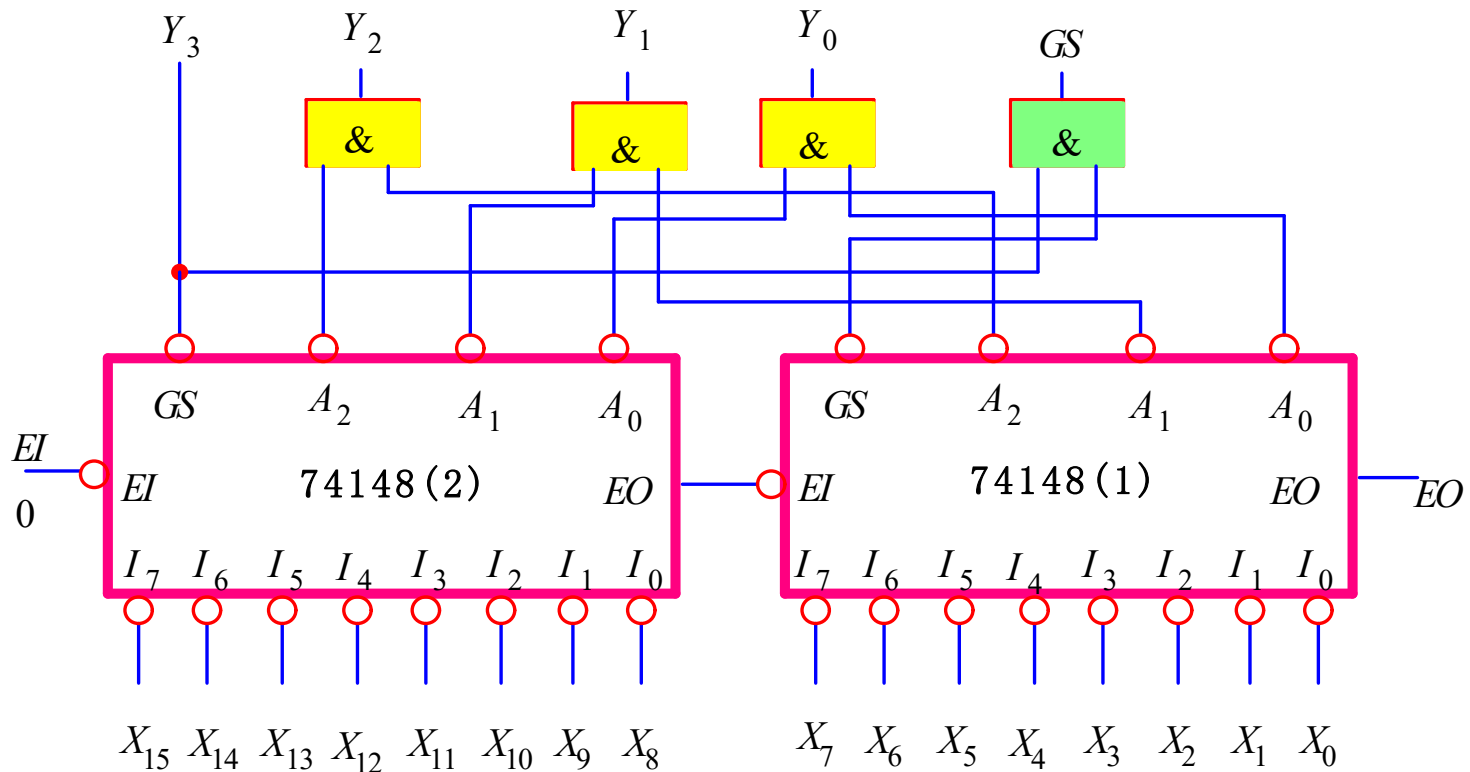


低电平有效

T4147引脚图

编码器的应用-编码器的扩展

用两片74148优先编码器串行扩展实现的16线—4线优先编码器



写出各输出函数表达式：

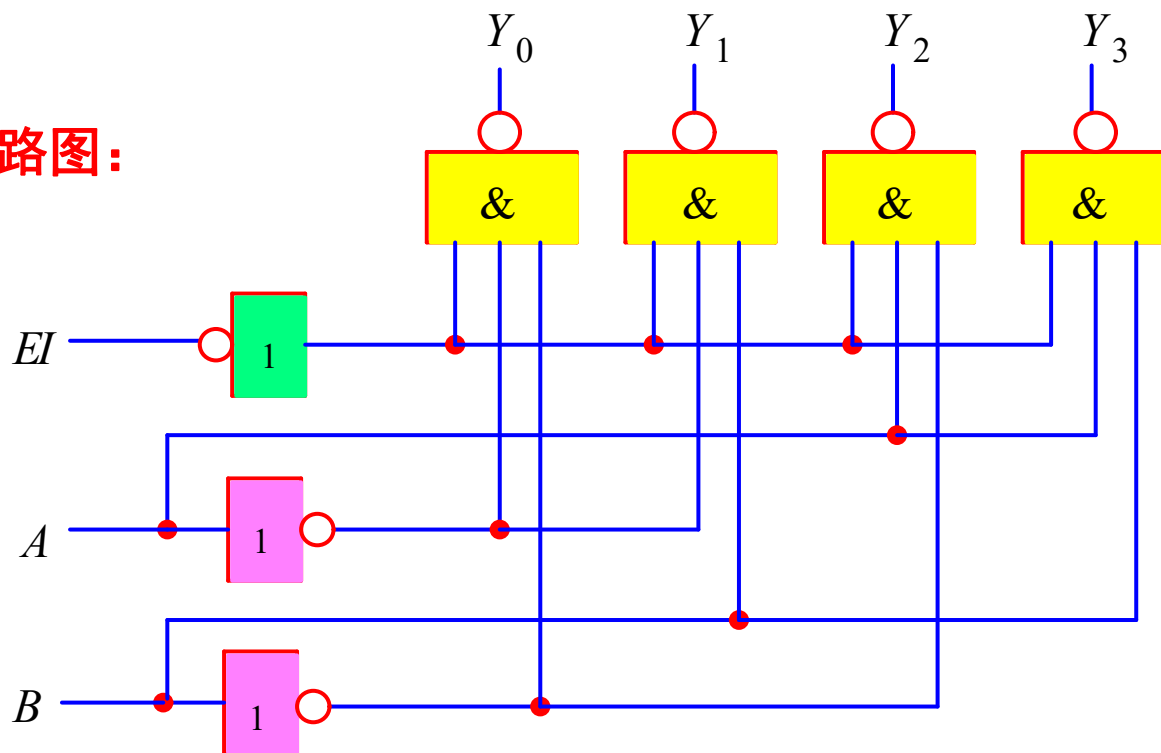
$$Y_0 = \overline{\overline{EIAB}}$$

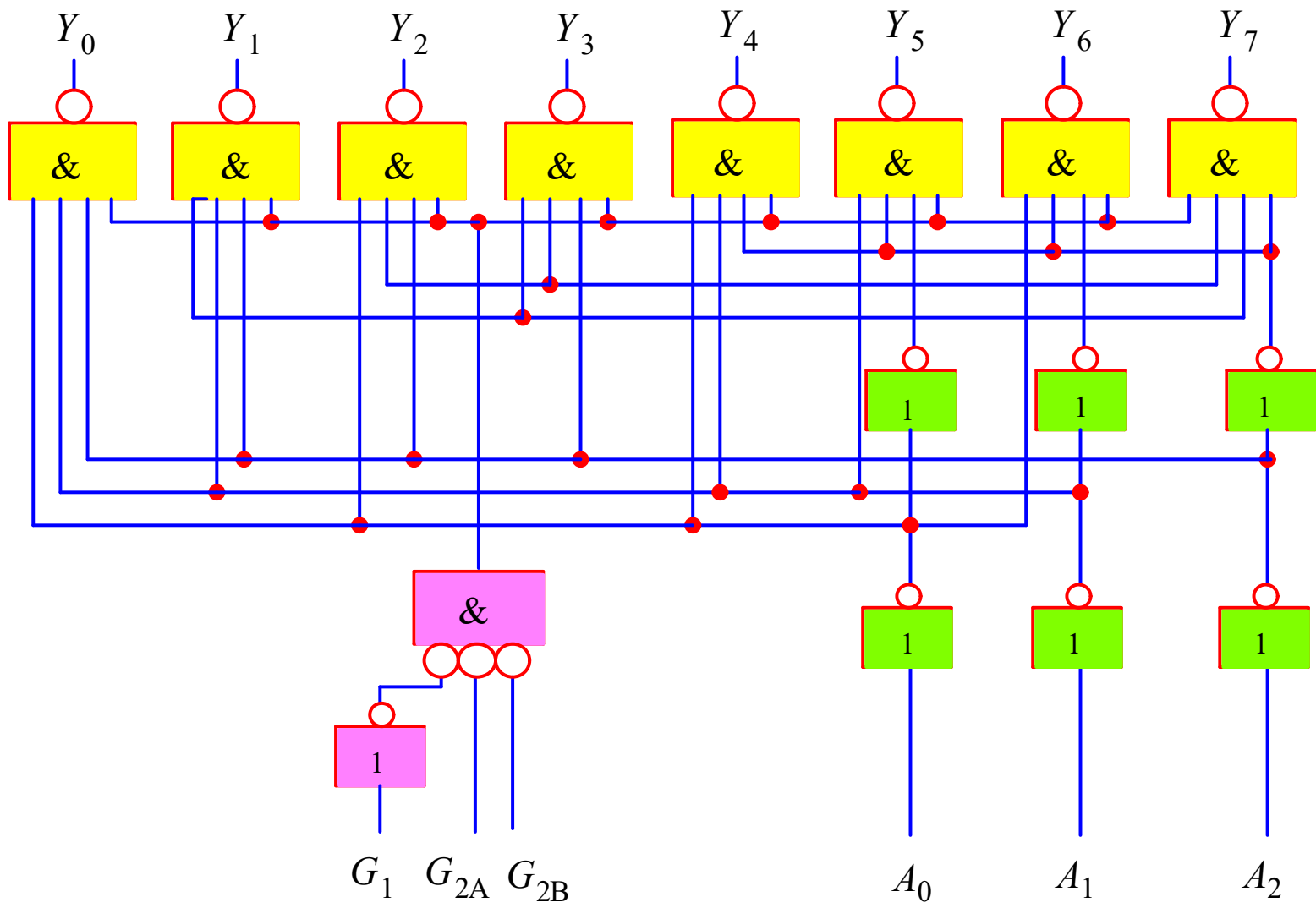
$$Y_1 = \overline{\overline{EIAB}}$$

$$Y_2 = \overline{\overline{EIAB}}$$

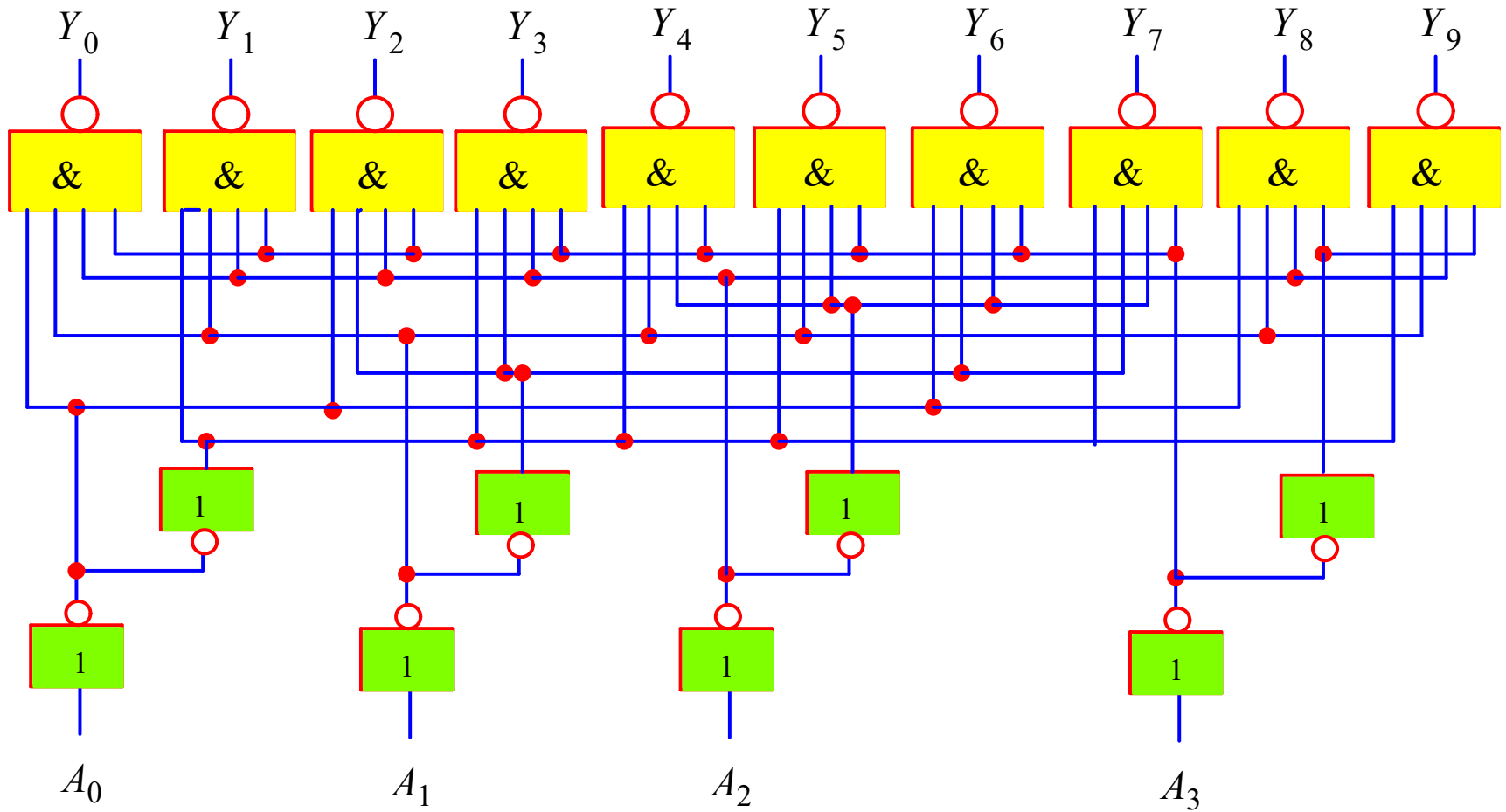
$$Y_3 = \overline{\overline{EIAB}}$$

画出逻辑电路图：



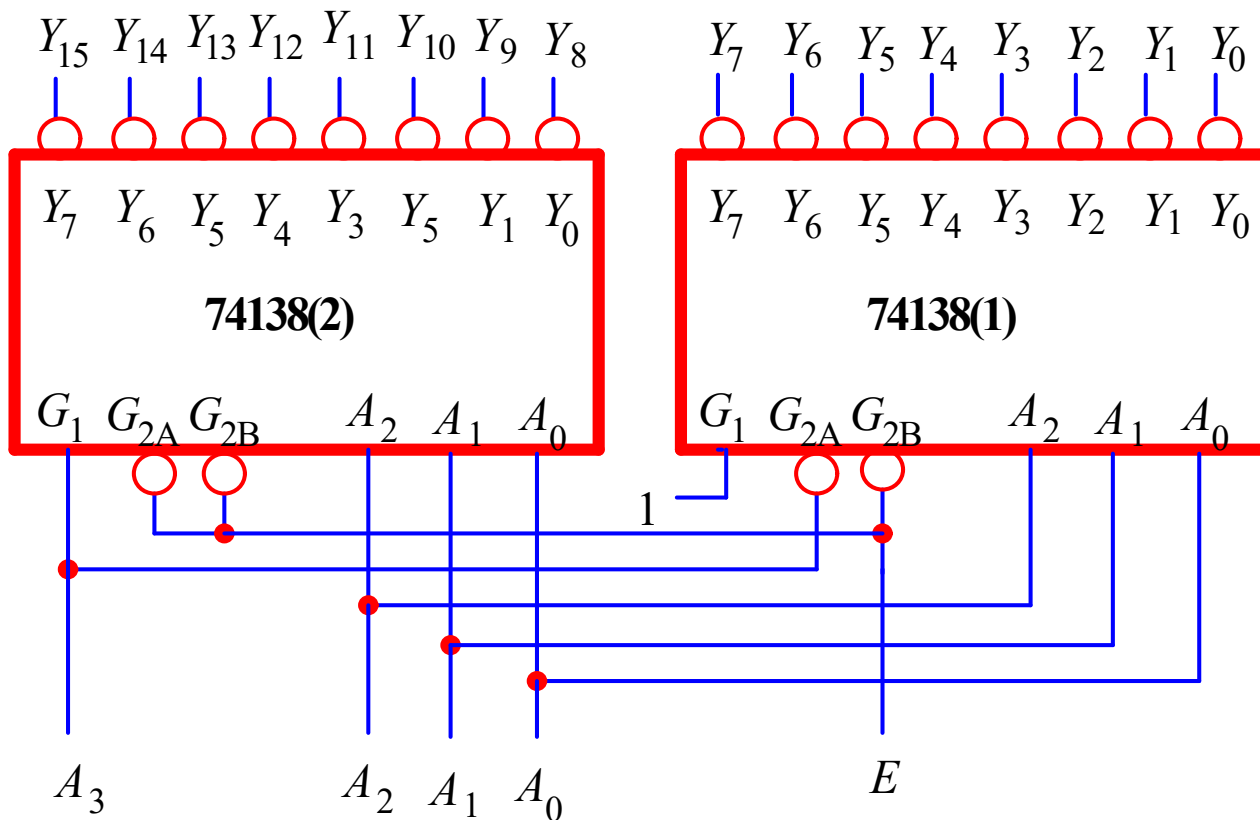


2. 8421BCD译码器7442



三、译码器的应用

1. 译码器的扩展



2. 实现组合逻辑电路

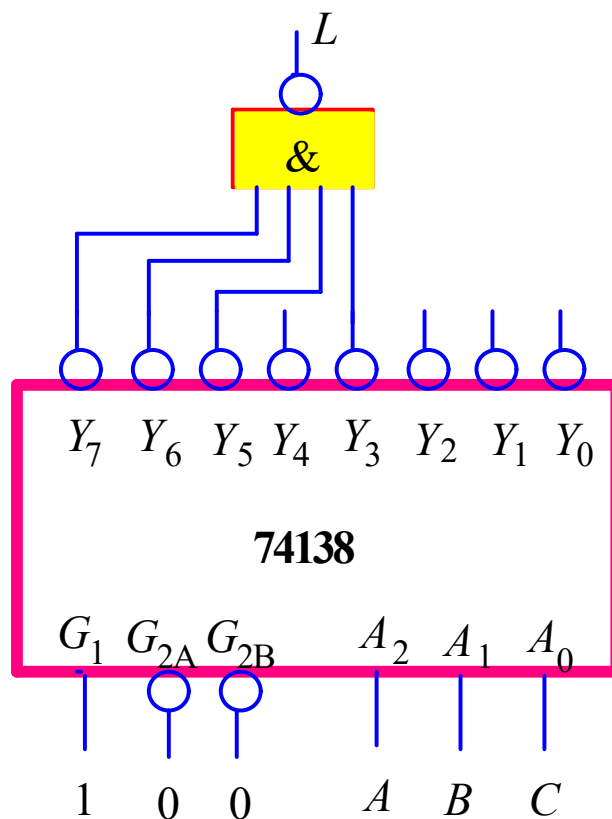
例 试用译码器和门电路实现逻辑函数：

$$L = AB + BC + AC$$

解： 将逻辑函数转换成最小项表达式，
再转换成与非—与非形式。

$$\begin{aligned} L &= \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC \\ &= m_3 + m_5 + m_6 + m_7 \\ &= \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}} \end{aligned}$$

用一片74138加一个与非门
就可实现该逻辑函数。



例 已知某组合逻辑电路的真值表，试用译码器和门电路设计该逻辑电路。

输入			输出		
A	B	C	L	F	G
0	0	0	0	0	1
0	0	1	1	0	0
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	1
1	1	1	1	0	0

解：写出各输出的最小项表达式，再转换成与非—与非形式：

$$L = \overline{\overline{A}BC} + \overline{\overline{A}B\overline{C}} + \overline{\overline{A}B\overline{C}} + \overline{ABC} = m_1 + m_2 + m_4 + m_7 = \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}}$$

$$F = \overline{\overline{A}BC} + \overline{\overline{A}B\overline{C}} + \overline{ABC\overline{C}} = m_3 + m_5 + m_6 = \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6}}$$

$$G = \overline{\overline{\overline{A}BC}} + \overline{\overline{A}B\overline{C}} + \overline{\overline{A}B\overline{C}} + \overline{ABC\overline{C}} = m_0 + m_2 + m_4 + m_6 = \overline{\overline{m_0} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_6}}$$

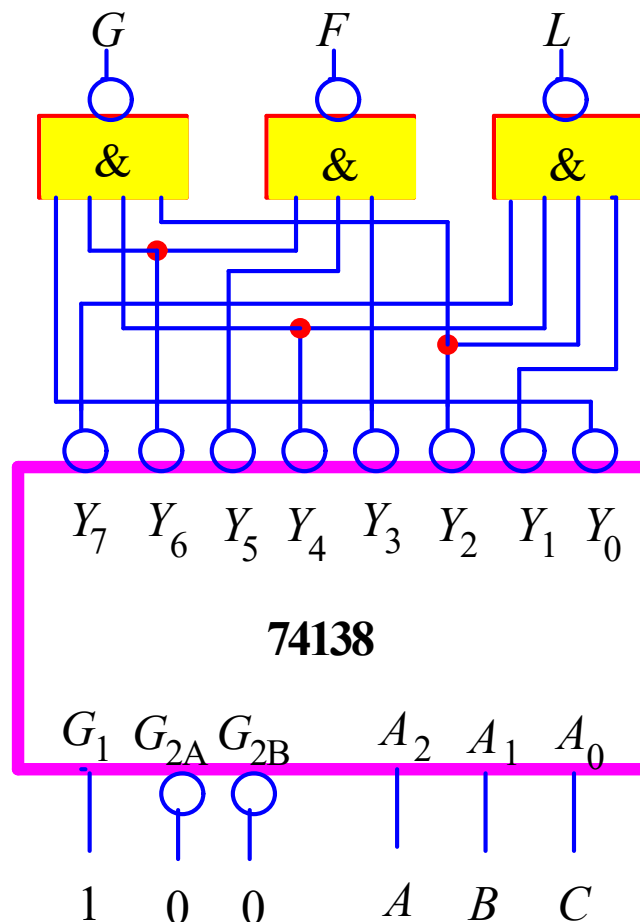
$$L = \overline{\overline{m_1 \cdot m_2 \cdot m_4 \cdot m_7}}$$

$$F = \overline{\overline{m_3 \cdot m_5 \cdot m_6}}$$

$$G = \overline{\overline{m_0 \cdot m_2 \cdot m_4 \cdot m_6}}$$

用一片74138加三个与非门就可实现该组合逻辑电路。

可见，用译码器实现多输出逻辑函数时，优点更明显。



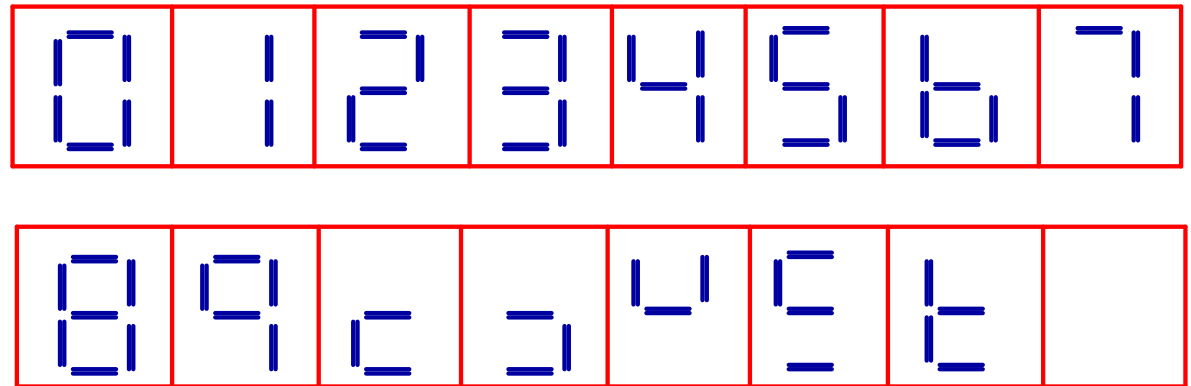
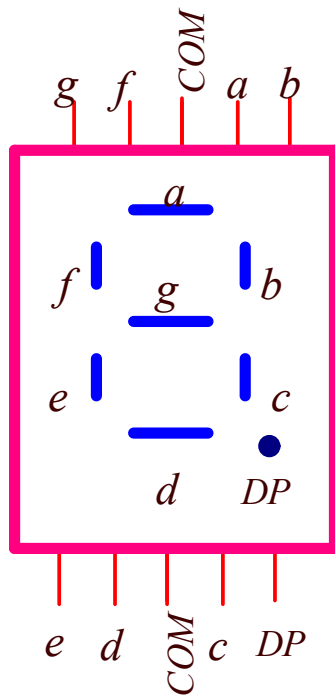
3. 显示译码器

数字显示器分类：

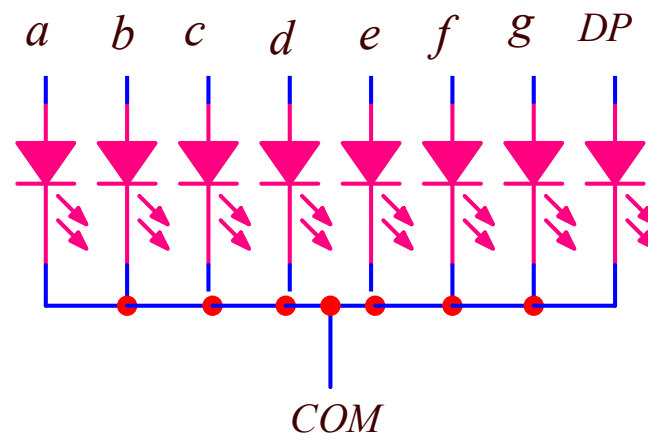
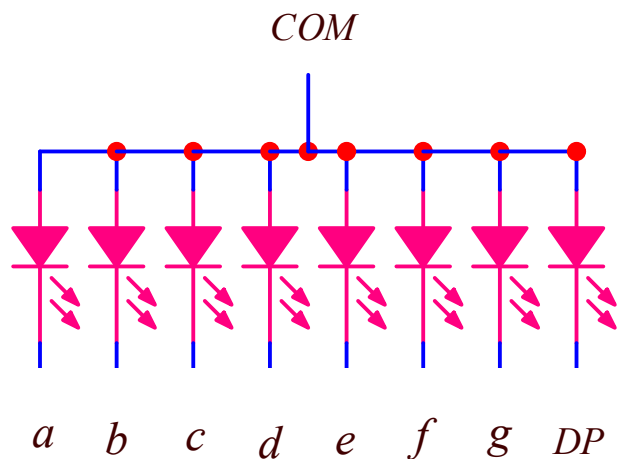
按显示方式分，有字型重叠式、点阵式、分段式等。

按发光物质分，有发光二极管(LED)式、荧光式、液晶显示等。

(



LED显示器有两种结构：



(2) 七段显示译码器7448

7448是一种与**共阴极**数字显示器配合使用的集成译码器。



7448的逻辑功能:

(1) **正常译码显示**。当 $LT=1$ ， $BI/RBO=1$ 时，对输入为十进制数 $1\sim 15$ 的二进制码（0001~1111）进行译码，产生对应的七段显示码。

(2) **灭零**。当 $LT=1$ ，而输入为0的二进制码0000时，只有当 $RBI=1$ 时，才产生0的七段显示码，如果此时输入 $RBI=0$ ，则译码器的 $a\sim g$ 输出全0，使显示器全灭；所以 RBI 称为**灭零输入端**。

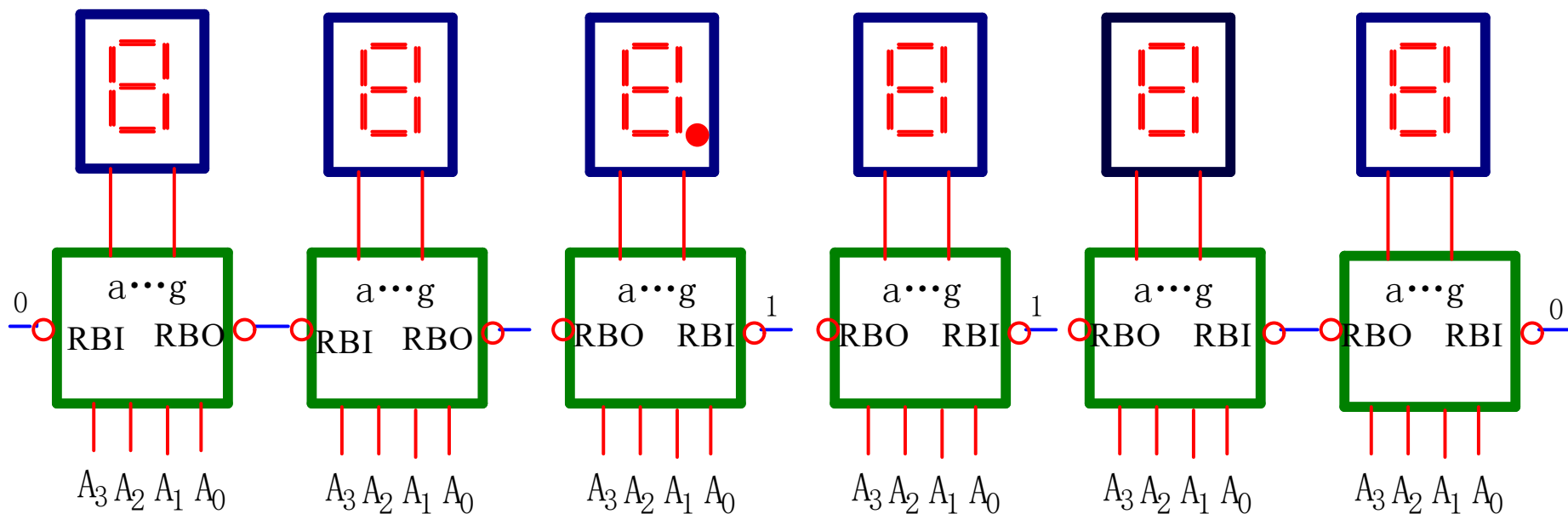
(3) **试灯**。当 $LT=0$ 时，无论输入怎样， $a\sim g$ 输出全1，数码管七段全亮。由此可以检测显示器七个发光段的好坏。 LT 称为**试灯输入端**。

(4) **特殊控制端BI/RBO**。 BI/RBO 可以作输入端，也可以作输出端。

作输入使用时，如果 $BI=0$ 时，不管其他输入端为何值， $a\sim g$ 均输出0，显示器全灭。因此 BI 称为**灭灯输入端**。

作输出端使用时，受控于 RBI 。当 $RBI=0$ ，输入为0的二进制码0000时， $RBO=0$ ，用以指示该片正处于灭零状态。所以， RBO 又称为**灭零输出端**。

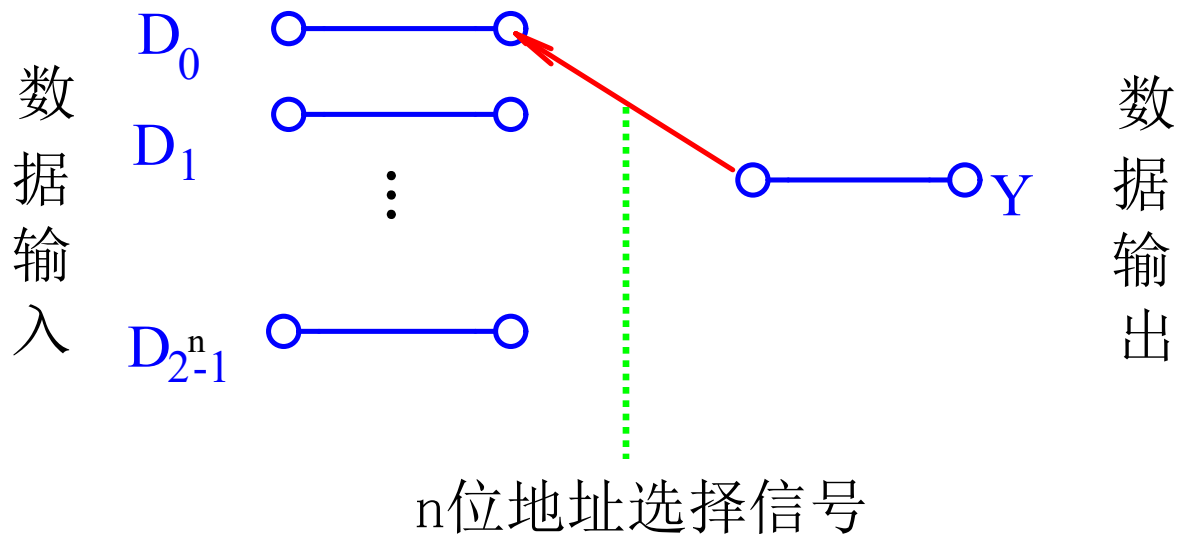
将BI/RBO和RB配合使用，可以实现多位数显示时的“无效0消隐”功能。



4.2.3 数据选择器与分配器

1. 数据选择器

数据选择器——根据地址选择码从多路输入数据中选择一路，送到输出。



例：四选一数据选择器

四选一数据选择器的真值表

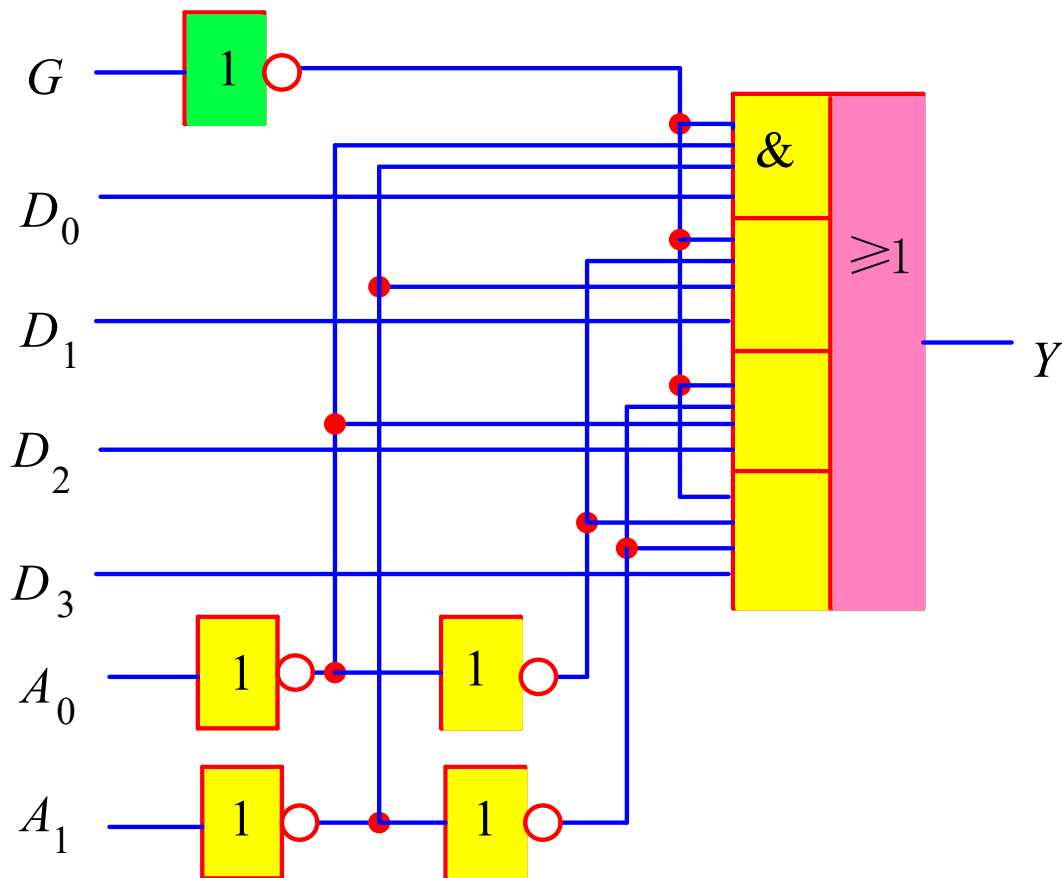
输 入		输 入				输 出	
G	A₁	A₀	D₃	D₂	D₁	D₀	Y
1	×	×	×	×	×	×	0
0	0	0	×	×	×	0	0
			×	×	×	1	1
	0	1	×	×	0	×	0
			×	×	1	×	1
1	0	×	0	×	×	0	
		×	1	×	×	1	
1	1	0	×	×	×	0	
		1	×	×	×	1	

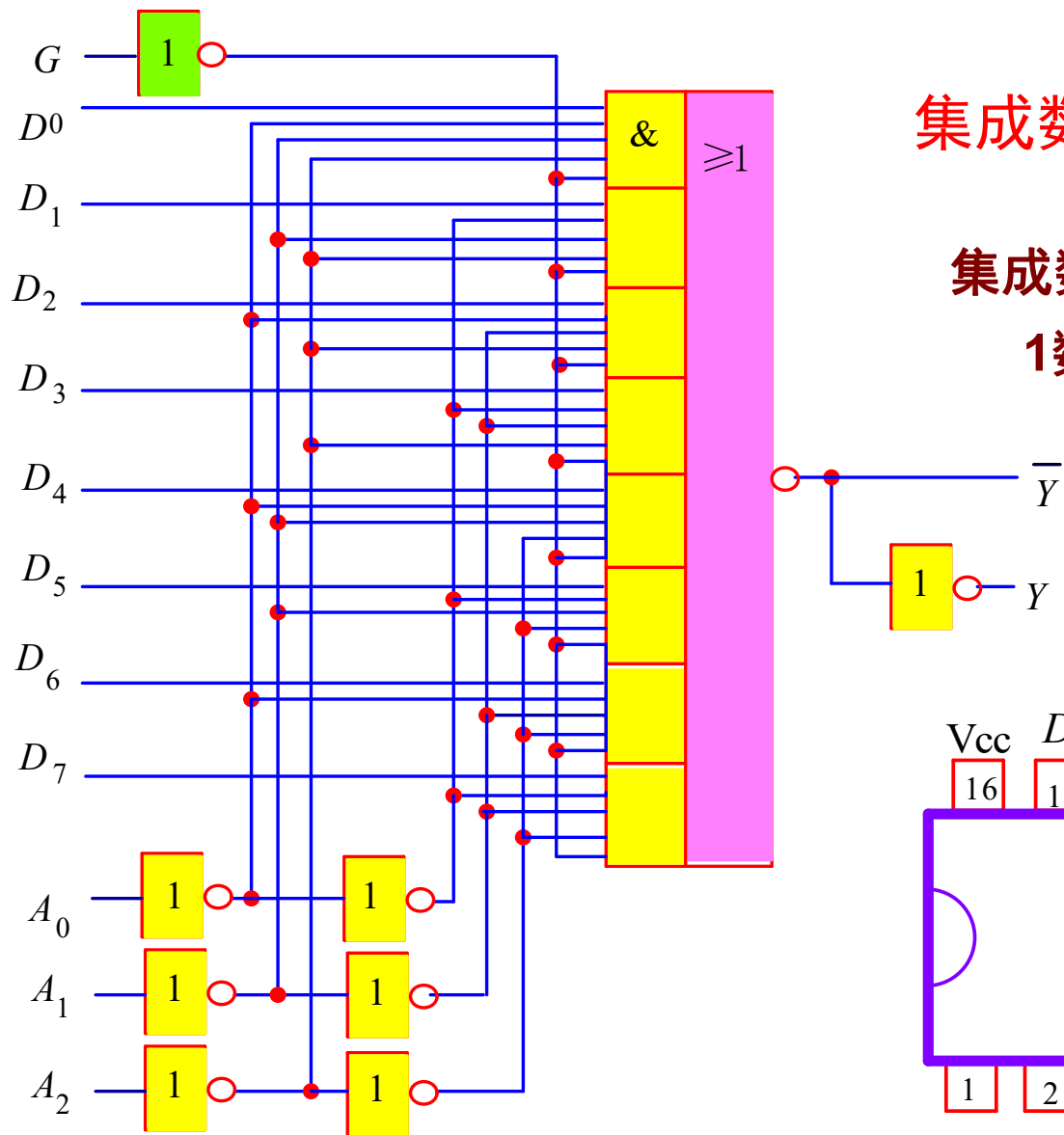
根据功能表，可写出输出逻辑表达式：

$$Y = (\overline{A_1}\overline{A_0}D_0 + \overline{A_1}A_0D_1 + A_1\overline{A_0}D_2 + A_1A_0D_3) \cdot \overline{G}$$

$$Y = (\overline{A_1} \overline{A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3) \cdot \overline{G}$$

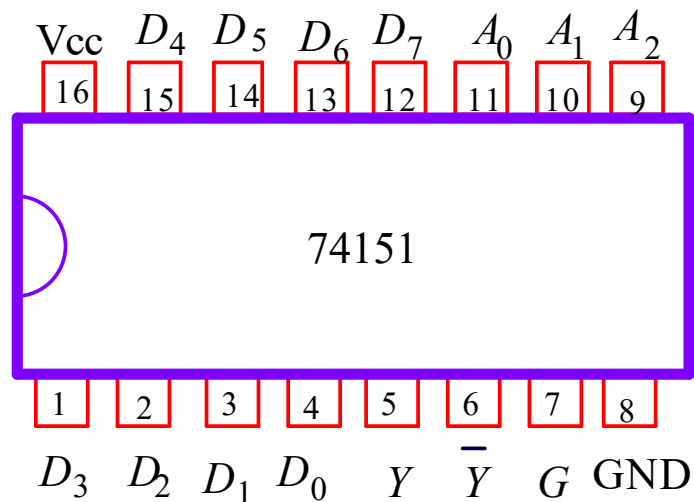
由逻辑表达式画出逻辑图：





集成数据选择器

集成数据选择器74151（8选1数据选择器）



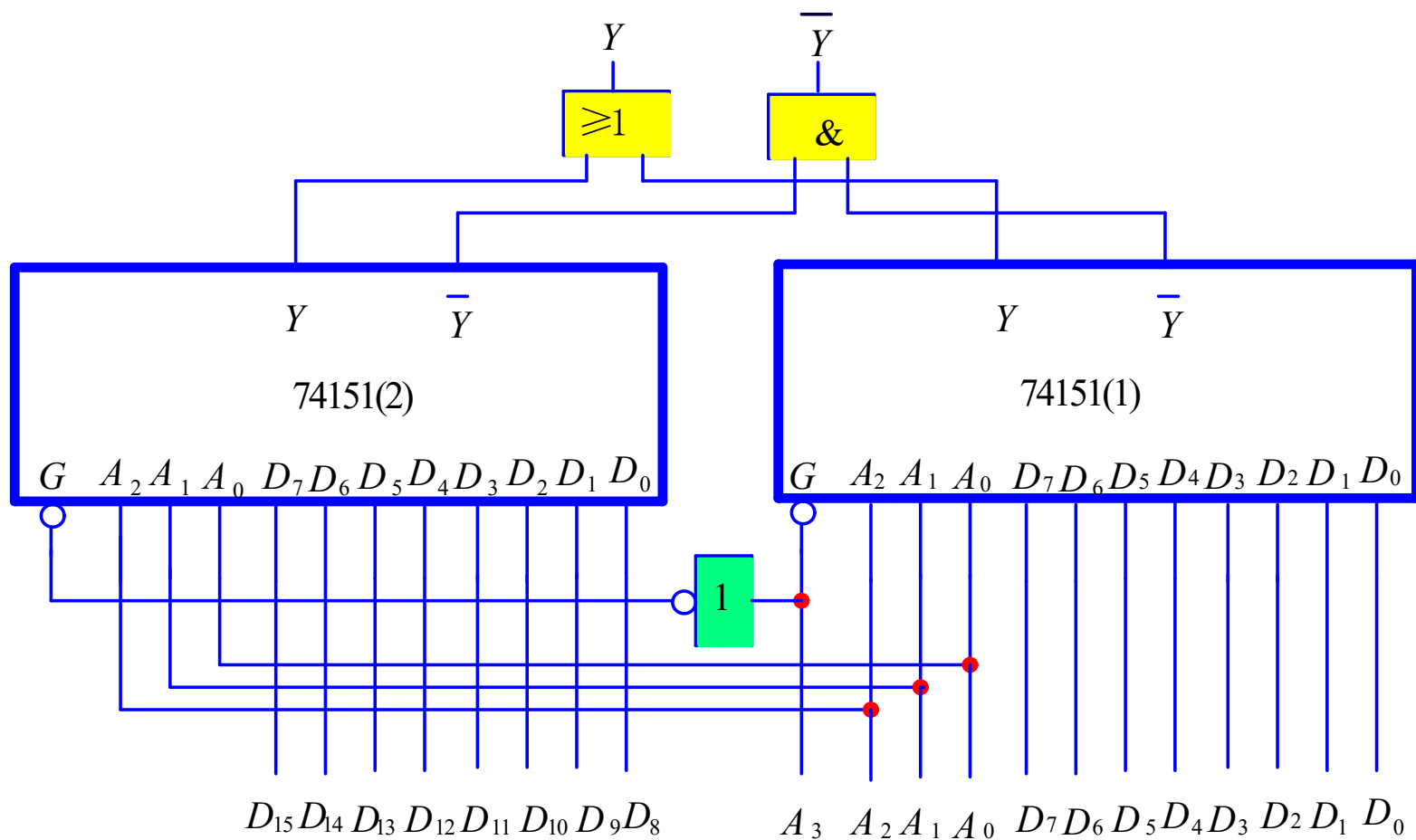
集成数据选择器74151的真值表

输 入				输 出	
使 能	地 址 选 择				
G	A₂	A₁	A₀	Y	\overline{Y}
1	×	×	×	0	1
0	0	0	0	<i>D</i>₀	$\overline{D_0}$
0	0	0	1	<i>D</i>₁	$\overline{D_1}$
0	0	1	0	<i>D</i>₂	$\overline{D_2}$
0	0	1	1	<i>D</i>₃	$\overline{D_3}$
0	1	0	0	<i>D</i>₄	$\overline{D_4}$
0	1	0	1	<i>D</i>₅	$\overline{D_5}$
0	1	1	0	<i>D</i>₆	$\overline{D_6}$
0	1	1	1	<i>D</i>₇	$\overline{D_7}$

数据选择器的应用

1. 数据选择器的通道扩展

用两片74151组成 “16选1”数据选择器



2. 实现组合逻辑函数

(1) 当逻辑函数的变量个数和数据选择器的地址输入变量个数相同时，可直接用数据选择器来实现逻辑函数。

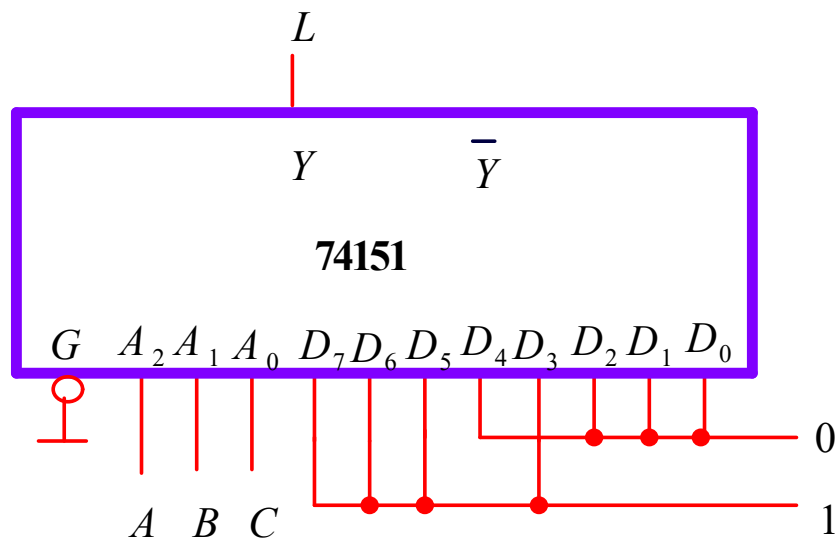
例4.4.1 用8选1数据选择器74151实现逻辑函数：

$$L = AB + BC + AC$$

解： 将逻辑函数转换成最小项表达式：

$$\begin{aligned} L &= \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC \\ &= m_3 + m_5 + m_6 + m_7 \end{aligned}$$

画出连线图。



(2) 当逻辑函数的变量个数大于数据选择器的地址输入变量个数时。

例 试用4选1数据选择器实现逻辑函数：

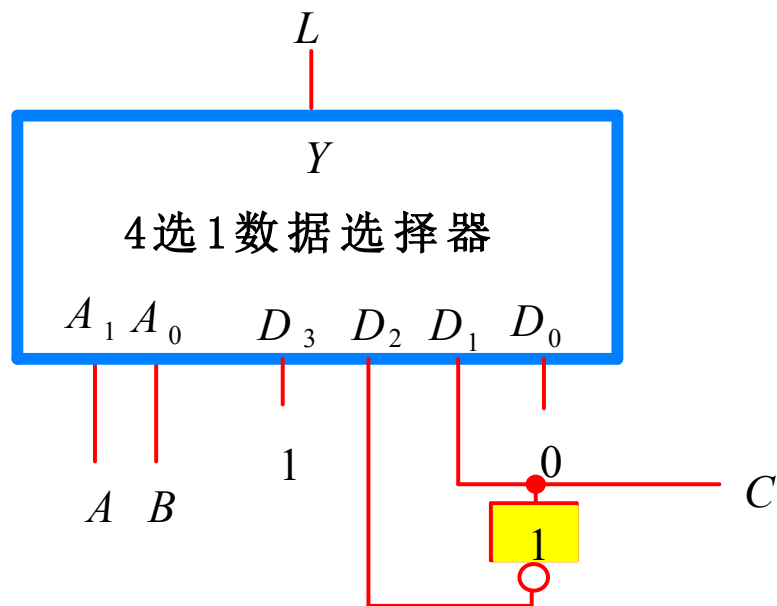
$$L = AB + BC + \overline{A}\overline{C}$$

解： 将A、B接到地址输入端，C加到适当的数据输入端。

作出逻辑函数L的真值表，根据真值表画出连线图。

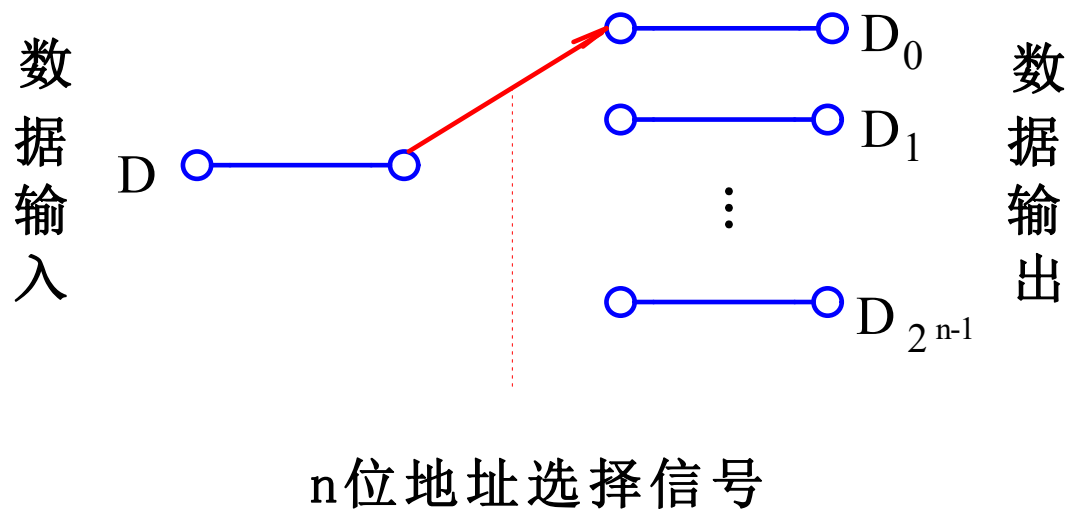
真值表

A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

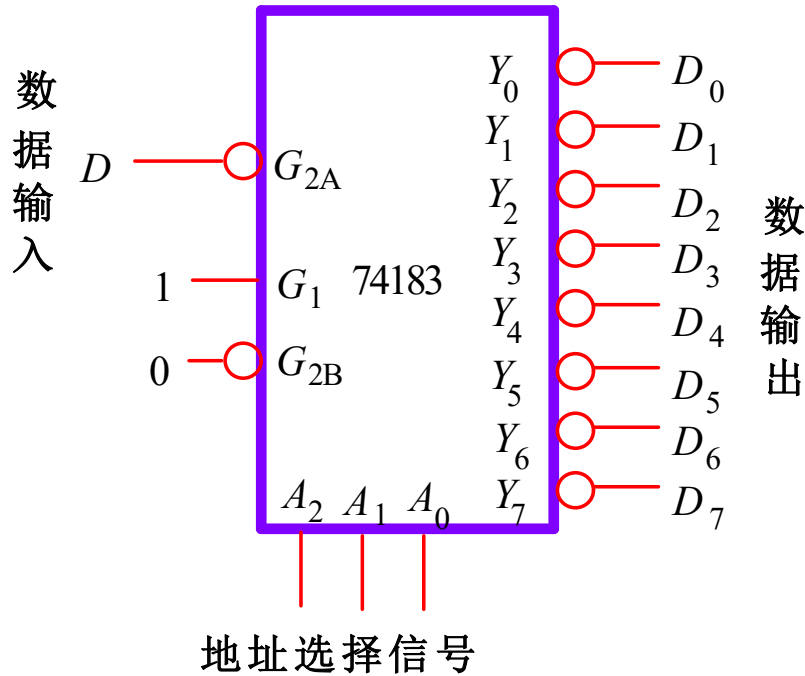


2. 数据分配器

数据分配器——将一路输入数据根据地址选择码分配给多路数据输出中的某一路输出。



用译码器构成的“1线-8线”数据分配器



数据分配器功能表

地址选择信号			输 出
A_2	A_1	A_0	
0	0	0	$D=D_0$
0	0	1	$D=D_1$
0	1	0	$D=D_2$
0	1	1	$D=D_3$
1	0	0	$D=D_4$
1	0	1	$D=D_5$
1	1	0	$D=D_6$
1	1	1	$D=D_7$

4.3 应用与实验

3.4.1 组合电路的应用

1. 译码器的级联扩展

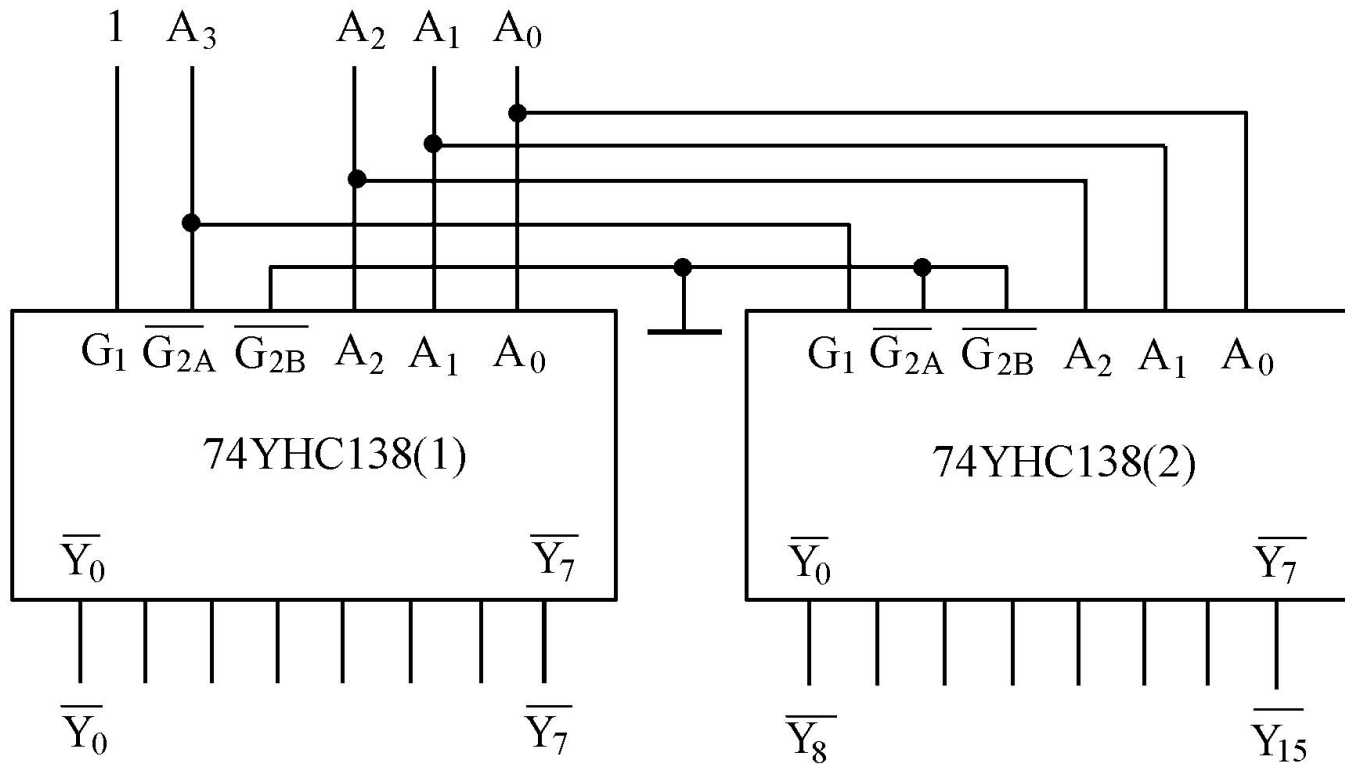


图4.15 译码器扩展连接图

2.数据传输系统

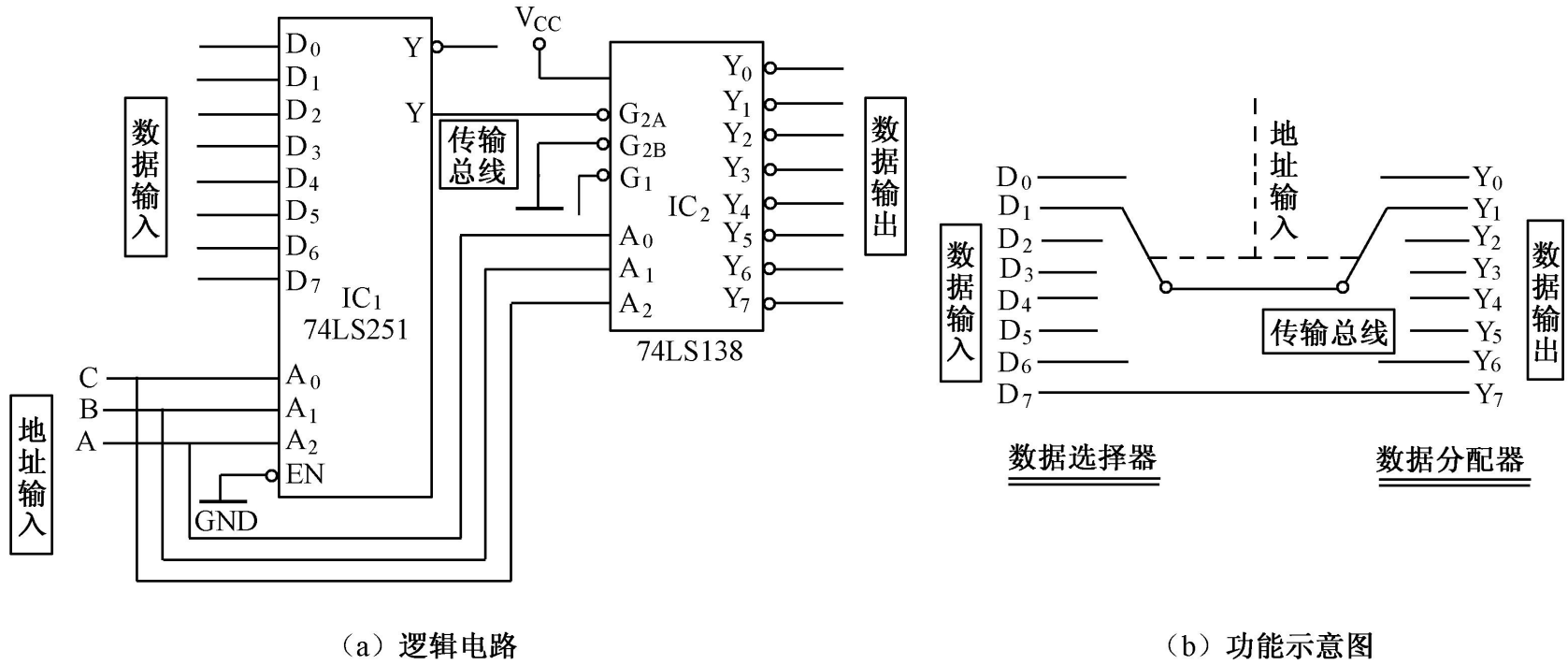


图4.16 数据传输系统

3.4.2 组合逻辑电路实验

一、实验目的

- (1) 进一步熟悉组合逻辑电路的特点。
- (2) 掌握组合逻辑电路的测试方法。

二、实验原理

(1) 表决器

如图4.17所示，具有以下逻辑功能：当输入端A, B, C中两个以上的输入端为高电平时，输出为高电平，否则为低电平。

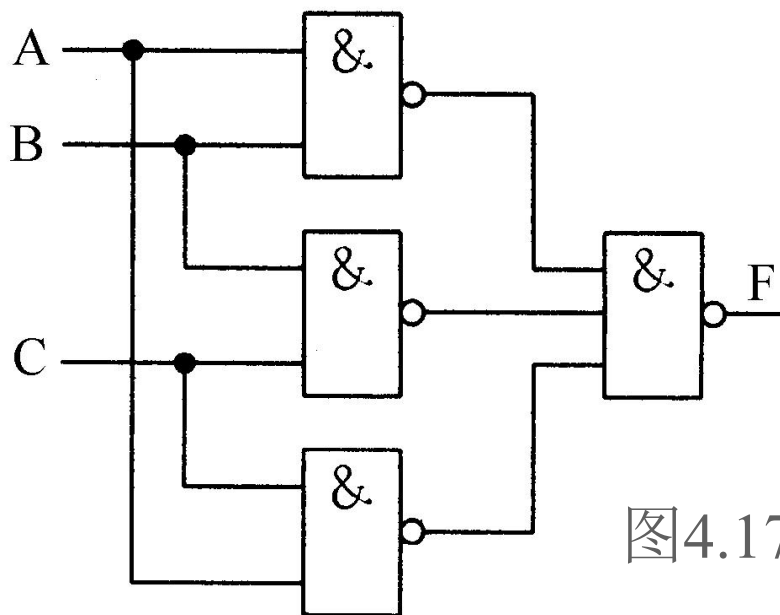


图4.17 表决器逻辑电路

(2) 半加器:

输入		和	进位
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

半加器的逻辑表达式为 $S = \overline{A}B + A\overline{B} = A \oplus B$

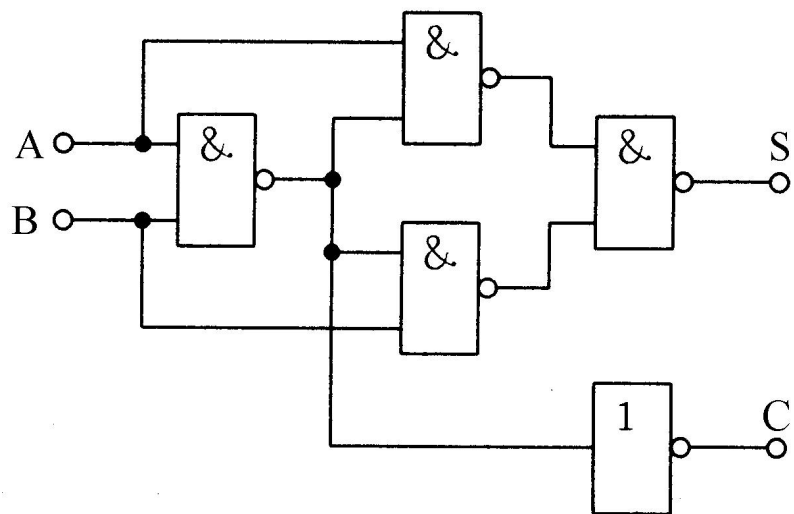


图4.18用与非门组成的半加器

(3) 全加器：是两个加数及一个低进位数三者相加的运算，见表4.10。表4.10是全加器的真值表。

表4.10 全加器逻辑功能

输 入			输 出	
C_{i-1}	B	A	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = (A_i \oplus B_i)C_{i-1} + A_i B_i$$

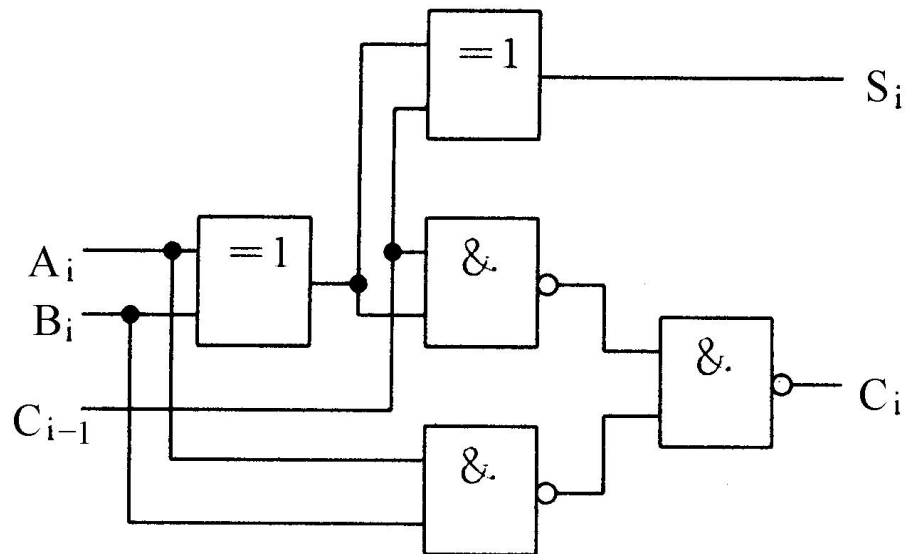


图4.19 全加器逻辑电路

三、实验仪器和器件

数字电路实验系统：一台；直流稳压电源：一台；
万用表：一块；实验用集成电路：74LS00, 74LS86,
74LS04各一片。

四、实验内容与步骤

(1) 检测所用的集成电路功能，判断集成电路好坏。

(2) 表决器逻辑功能的测试：① 按如图4.17所示连接电路，检查无误后接通电源；② 按表4.11分别测试输入不同组合的逻辑信号时的输出信号，将结果填入表17-11中，验证表决器的逻辑功能。

表17-11

输入信号			输出信号
A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

(3) 半加器逻辑功能的测试：① 按如图4.18所示连接半加器电路，检查无误后接通电源；② 按表17-12分别测试输入不同组合的逻辑信号时的输出信号，将结果填入表17-12中，验证半加器的逻辑功能。

表17-12

输入信号		输出信号	
A	B	S	C
0	0		
0	1		
1	0		
1	1		

(4) 全加器逻辑功能的测试：① 按如图4.19所示连接全加器逻辑电路，检查无误后接通电源；② 按表17-13分别测试输入不同组合的逻辑信号时的输出信号，将结果填入表17-13中，验证全加器的逻辑功能。

表17-13

输 入			输 出	
C_{i-1}	B	A	S_i	C_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

五、实验分析和总结

- (1) 整理实验数据和实验线路图。
- (2) 总结组合电路逻辑功能的测试方法。

本章小结

- (1) 组合逻辑电路的特点是不论什么时候，输出信号仅仅取决于当时的输入信号，而与电路原来所处的状态无关。
- (2) 分析组合逻辑电路的目的是确定它的功能，即根据给定的逻辑电路，找出输入和输出信号之间的逻辑关系。分析给定的组合逻辑电路时，可以逐级地写出输出逻辑表达式，然后化简，力求获得一个最简表达式，适当通过真值列表，使输出与输入之间的逻辑关系一目了然。
- (3) 组合逻辑电路的种类很多，常见的有编码器、译码器、数据选择器与分配器等。本章对以上各类组合逻辑电路的功能、特点、用途进行了讨论，并介绍了一些常见的集成芯片。学习时应重点掌握其逻辑功能，熟悉其逻辑符号和外引线功能图，以便熟练使用。