

第1单元 能力训练检测题

一、填空题

1、由二值变量所构成的因果关系称为逻辑关系。能够反映和处理逻辑关系的数学工具称为逻辑代数。

2、在正逻辑的约定下，“1”表示高电平，“0”表示低电平。

3、数字电路中，输入信号和输出信号之间的关系是逻辑关系，所以数字电路也称为逻辑电路。在逻辑关系中，最基本的关系是与逻辑、或逻辑和非逻辑。

4、用来表示各种计数制数码个数的数称为基数，同一数码在不同数位所代表的权不同。十进制计数各位的基数是10，位权是10的幂。

5、8421BCD码和2421码是有权码；余3码和格雷码是无权码。

6、进位计数制是表示数值大小的各种方法的统称。一般都是按照进位方式来实现计数的，简称为数制。任意进制数转换为十进制数时，均采用按位权展开求和的方法。

7、十进制整数转换成二进制时采用除2取余法；十进制小数转换成二进制时采用乘2取整法。

8、十进制数转换为八进制和十六进制时，应先转换成二进制，然后再根据转换的二进数，按照三个数码一组转换成八进制；按四个数码一组转换成十六进制。

9、逻辑代数的基本定律有交换律、结合律、分配律、反演律和非非律。

10、最简与或表达式是指在表达式中与项中的变量最少，且或项也最少。

13、卡诺图是将代表最小项的小方格按相邻原则排列而构成的方块图。卡诺图的画图规则：任意两个几何位置相邻的最小项之间，只允许一位变量的取值不同。

14、在化简的过程中，约束项可以根据需要看作1或0。

二、判断正误题

1、奇偶校验码是最基本的检错码，用来使用PCM方法传送讯号时避免出错。（对）

2、异或函数与同或函数在逻辑上互为反函数。（对）

3、8421BCD码、2421BCD码和余3码都属于有权码。（错）

4、二进制计数中各位的基是2，不同数位的权是2的幂。（对）

3、每个最小项都是各变量相“与”构成的，即n个变量的最小项含有n个因子。（对）

4、因为逻辑表达式 $A+B+AB=A+B$ 成立，所以 $AB=0$ 成立。（错）

5、逻辑函数 $F=A\bar{B}+\bar{A}B+\bar{B}C+B\bar{C}$ 已是最简与或表达式。（错）

6、利用约束项化简时，将全部约束项都画入卡诺图，可得到函数的最简形式。（错）

7、卡诺图中为1的方格均表示逻辑函数的一个最小项。（对）

8、在逻辑运算中，“与”逻辑的符号级别最高。 (对)

9、标准与或式和最简与或式的概念相同。 (对)

10、二极管和三极管在数字电路中可工作在截止区、饱和区和放大区。 (错)

三、选择题

1、逻辑函数中的逻辑“与”和它对应的逻辑代数运算关系为 (B)。

A、逻辑加 B、逻辑乘 C、逻辑非

2、十进制数100对应的二进制数为 (C)。

A、1011110 B、1100010 C、1100100 D、11000100

3、和逻辑式 \overline{AB} 表示不同逻辑关系的逻辑式是 (B)。

A、 $\overline{A} + \overline{B}$ B、 $\overline{A} \cdot \overline{B}$ C、 $\overline{A} \cdot B + \overline{B}$ D、 $\overline{AB} + \overline{A}$

4、数字电路中机器识别和常用的数制是 (A)。

A、二进制 B、八进制 C、十进制 D、十六进制

5、以下表达式中符合逻辑运算法则的是 (D)。

A、 $C \cdot C = C^2$ B、 $1+1=10$ C、 $0 < 1$ D、 $A+1=1$

6、 $A+BC = (C)$ 。

A、 $A+B$ B、 $A+C$ C、 $(A+B)(A+C)$ D、 $B+C$

7、在 (D) 输入情况下，“与非”运算的结果是逻辑0。

A、全部输入是0 B、任一输入是0 C、仅一输入是0 D、全部输入是1

四、简述题

1、逻辑代数与普通代数有何异同？

答：逻辑代数中仅含有0和1两个数码，普通代数含有的数码是0~9个，逻辑代数是逻辑运算，普通代数是加、减、乘、除运算。

2、什么是最小项？最小项具有什么性质？

答：一个具有n个逻辑变量的与或表达式中，若每个变量以原变量或反变量形式仅出现一次，就可组成 2^n 个“与”项，我们把这些“与”项称为n个变量的最小项，分别记为 m_n 。最小项具备下列性质：

①对于任意一个最小项，只有一组变量取值使它的值为1，而变量取其余各组值时，该最小项均为0。

②任意两个不同的最小项之积恒为0。

③变量全部最小项之和恒等于1。

3、试述卡诺图化简逻辑函数的原则和步骤。

答：利用卡诺图化简逻辑函数式的步骤：

①根据变量的数目，画出相应方格数的卡诺图；

- ②根据逻辑函数式，把所有为“1”的项画入卡诺图中；
- ③用卡诺圈把相邻最小项进行合并，合并时就遵照卡诺圈最大化原则；
- ④根据所圈的卡诺圈，消除圈内全部互非的变量，每一个圈作为一个“与”项，将各“与”项相或，即为化简后的最简与或表达式。

五、计算题

1、用代数法化简下列逻辑函数

① $F = (A + \bar{B})C + \bar{A}B$

解：
$$\begin{aligned} F &= (A + \bar{B})C + \bar{A}B \\ &= AC + \bar{B}C + \bar{A}B \\ &= C\bar{A}B + \bar{A}B \\ &= C + \bar{A}B \end{aligned}$$

② $F = \bar{A}\bar{C} + \bar{A}B + BC$

解：
$$\begin{aligned} F &= \bar{A}\bar{C} + \bar{A}B + BC \\ &= \bar{A}\bar{C} + B\bar{C}A \\ &= \bar{A}\bar{C} + B \end{aligned}$$

③ $F = \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C} + ABC$

解：
$$\begin{aligned} F &= \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C} + ABC \\ &= AB + \bar{A}\bar{B} + \bar{A}C \end{aligned}$$

④ $F = \bar{A}\bar{B} + \bar{B}\bar{C}D + \bar{C}\bar{D} + ABC + A\bar{C}D$

解：
$$\begin{aligned} F &= \bar{A}\bar{B} + \bar{B}\bar{C}D + \bar{C}\bar{D} + ABC + A\bar{C}D \\ &= \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{C}\bar{D} + BC \\ &= \bar{A}\bar{B} + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{C}\bar{D} + BC \\ &= \bar{A}\bar{B} + \bar{C}\bar{D} + BC \end{aligned}$$

2、用卡诺图化简下列逻辑函数

① $F(A, B, C, D) = \sum m(3, 4, 5, 7, 9, 13, 14, 15)$

$F = \bar{A}\bar{B}\bar{C} + \bar{A}CD + A\bar{C}D + ABC$

		CD			
		00	01	11	10
AB	00			1	
	01	1	1	1	
	11		1	1	1
	10		1		

在图中， m_5, m_7, m_{13}, m_{15} 虽然可画成一个圈，但它的每一个最小项均被别的卡诺圈圈过，因此是多余圈。

$$\textcircled{2} F(A,B,C,D) = \sum m(1,3,5,7,9,11,13)$$

$$F(A,B,C,D) = \overline{A}D + \overline{B}D + \overline{C}D$$

		CD			
		00	01	11	10
AB	00		1	1	
	01		1	1	
	11		1		
	10		1	1	

$$\textcircled{3} Y(A,B,C,D) = \sum m(0,1,2,3,4,6,7,8,9,10,11,14)$$

$$Y = B' + A'D' + A'C + CD'$$

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1		1	1
	11				1
	10	1	1	1	1

圈零法: 本题0的数量远少于1的数量，使用圈零法较简便。

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	1	1
	11	0	0	0	1
	10	1	1	1	1

$$Y = (ABC' + ABD + BC'D)' = B' + (A' + C)(A' + D')(C + D')$$

$$= B' + A'C + A'D' + CD'$$

3、完成下列数制之间的转换

$$\textcircled{1} (365)_{10} = (101101101)_2 = (555)_8 = (16D)_{16}$$

$$\textcircled{2} (11101.1)_2 = (29.5)_{10} = (35.4)_8 = (1D.8)_{16}$$

$$\textcircled{3} (57.625)_{10} = (111001.101)_2 = (71.5)_8 = (39.A)_{16}$$

4、完成下列数制与码制之间的转换（6分）

$$\textcircled{1} (47)_{10} = (01000111)_{8421\text{码}}$$

$$\textcircled{2} (25.25)_{10} = (00100101.00120101)_{8421\text{BCD}} = (31.2)_8$$

第2单元 能力训练检测题

一、填空题：

1、基本逻辑关系的电路称为逻辑门，其中最基本的有与门、或门和非门。常用的复合逻辑门有与非门、或非门、与或非门、异或门和同或门。

2、CMOS集成电路是由增强型PMOS管和增强型NMOS管组成的互补对称MOS门电路，其中CC4000系列和高速系列是它的主要子系列。

3、功能为“有0出1、全1出0”的门电路是与非门；具有“有1出1，全0出0”功能的门电路是或门；实际中集成与非门应用的最为普遍。

4、普通的TTL与非门输出只有高电平“1”和低电平“0”两种状态；TTL三态与非门除了具有1态和0态，还有第三种状态高阻态，三态门可以实现总线结构。

5、集成电极开路的TTL与非门又称为OC门，其输出可以“线与”。

6、TTL集成电路和CMOS集成电路相比较，TTL集成门的带负载能力较强，CMOS集成门的抗干扰能力较强。

7、当外界干扰较小时，TTL与非门闲置的输入端可以悬空处理；TTL或非门不使用的闲置输入端应与地相接；CMOS门输入端口为“与”逻辑关系时，闲置的输入端应接高电平，具有“或”逻辑端口的CMOS门多余的输入端应接低电平；即CMOS门的闲置输入端不允许悬空。

二、判断正误题

- 1、所有的集成逻辑门，其输入端子均为两个或两个以上。 (错)
- 2、根据逻辑功能可知，异或门的反是同或门。 (对)
- 3、具有图腾结构的 TTL 与非门可以实现“线与”逻辑功能。 (错)
- 4、逻辑门电路是数字逻辑电路中的最基本单元。 (对)
- 5、TTL和CMOS两种集成电路与非门，其闲置输入端都可以悬空处理。 (错)
- 6、74LS 系列产品是TTL集成电路的主流，应用最为广泛。 (对)
- 7、74LS系列集成芯片属于TTL型，CC4000系列集成芯片属于CMOS型。 (对)
- 8、OC门可以不仅能够实现“总线”结构，还可构成与或非逻辑。 (对)
- 9、CMOS电路的带负载能力和抗干扰能力均比TTL电路强。 (错)

三、选择题

- 1、具有“有1出0、全0出1”功能的逻辑门是 (B)。
A、与非门 B、或非门 C、异或门 D、同或门
- 2、CMOS电路的电源电压范围较大，约在 (B)。
A、-5V~+5V B、3~18V C、5~15V D、+5V
- 3、若将一个TTL异或门当做反相器使用，则异或门的A和B输入端应： (A)。

- A、B输入端接高电平，A输入端做为反相器输入端
 - B、B输入端接低电平，A输入端做为反相器输入端
 - C、A、B两个输入端并联，做为反相器的输入端
 - D、不能实现
- 4、(C) 的输出端可以直接并接在一起，实现“线与”逻辑功能。
- A、TTL与非门
 - B、三态门
 - C、OC门
 - D、异或门
- 5、(A) 在计算机系统中得到了广泛的应用，其中一个重要用途是构成数据总线。
- A、三态门
 - B、TTL与非门
 - D、异或门
 - C、OC门
- 6、一个两输入端的门电路，当输入为10时，输出不是1的门电路为(C)。
- A、与非门
 - B、或门
 - C、或非门
 - D、异或门
- 7、一个四输入的与非门，使其输出为0的输入变量取值组合有(B)。
- A、15种
 - B、1种
 - C、3种
 - D、7种

四、简述题

1、数字电路中，正逻辑和负逻辑是如何规定的？

答：数字电路中只有高、低电平两种取值。用逻辑“1”表示高电平，用逻辑“0”表示低电平的方法称为正逻辑；如果用逻辑“0”表示高电平，用逻辑“1”表示低电平，则称为负逻辑。

2、你能说出常用复合门电路的种类吗？它们的功能如何？

答：常用的复合门有与非门、或非门、与或非门、异或门和同或门。其中与非门的功能是“有0出1，全1出0”；或非门的功能是“有1出0，全0出1”；与或非门的功能是“只要1个与门输出为1，输出为0，两个与门全部输出为0时，输出为1”；异或门的功能是“相异出1，相同出0”；同或门的功能是“相同出1，相异出0”。

3、TTL与非门闲置的输入端能否悬空处理？CMOS与非门呢？

答：TTL与非门闲置的输入端一般也不要悬空处理，但当外界干扰较小时，就可以把闲置的输入端悬空处理；而CMOS与非门闲置的输入端是不允许悬空处理的。

4、试述TTL与非门和OC门、三态门的主要区别是什么？

答：TTL与非门采用的推挽输出，通常不允许将几个同类门的输出端并联起来使用，正常情况下，TTL与非门输出对输入可实现与非逻辑；集电极开路的TTL与非门又称为OC门，多个OC门的输出端可并联起来使用，实现“线与”逻辑功能，还可用作与或非逻辑运算等；三态门和TTL与非门相比，结构上多出了一个使能端，让使能端处有效状态时，三态门与TTL与非门功能相同，若使能端处无效态，则三态门输出呈高阻态，这时无无论输入如何，输出均为高阻态。

5、若把与非门、或非门、异或门当做非门使用时，它们的输入端应如何连接？

答：若把与非门做非门使用，只需将与非门的输入端并联起来即可；若把或非门当

做非门使用，只需把其它输入端接地，让剩余的一个输入端作非门输入即可；若把异或门当做非门使用，只需把其它输入端接高电平，让剩余的一个输入端作非门输入即可。

6、提高CMOS门电路的电源电压可提高电路的抗干扰能力，TTL门电路能否这样做？为什么？

答：TTL 门电路是不能采取提高电源电压的方式来提高电路抗干扰能力的。因为，TTL 集成电路的电源电压是特定的，其变化范围很窄，通常在 4.5~5.5V。

五、分析题

1、已知输入信号A、B的波形和输出Y₁、Y₂、Y₃、Y₄的波形如图2.5.1所示，试判断各为哪种逻辑门，并画出相应逻辑门图符号，写出相应逻辑表达式。

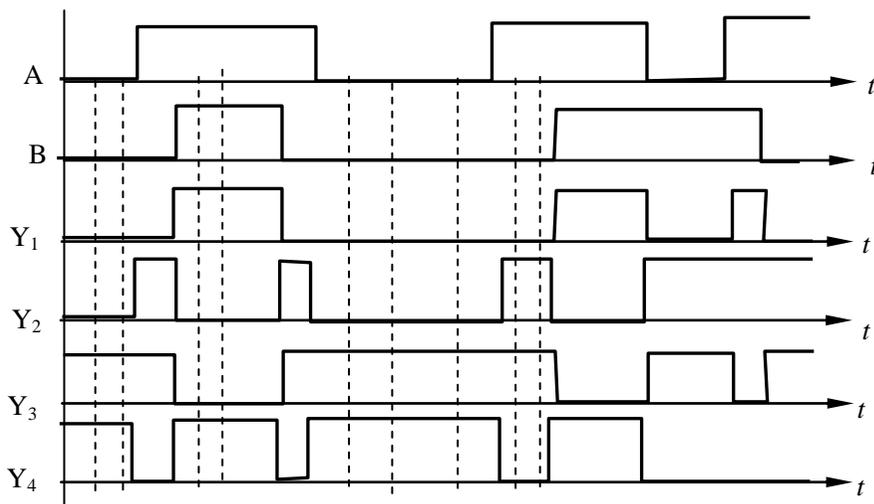
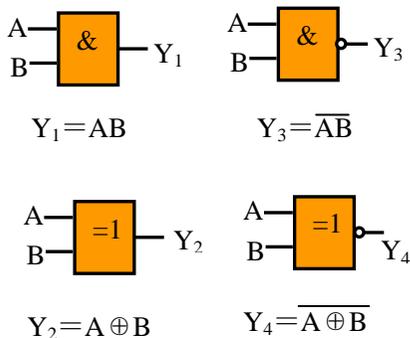


图 2.46 2.5.1 检测题波形图

解：观察图示波形，判断出Y₁是与门；Y₂是异或门；Y₃是与非门；Y₄是同或门。它们相应的图符号如下：



2、电路如图2.47 (a) 所示，其输入变量的波形如图 (b) 所示。试判断图中发光二极管在哪些时段会亮。(7分)

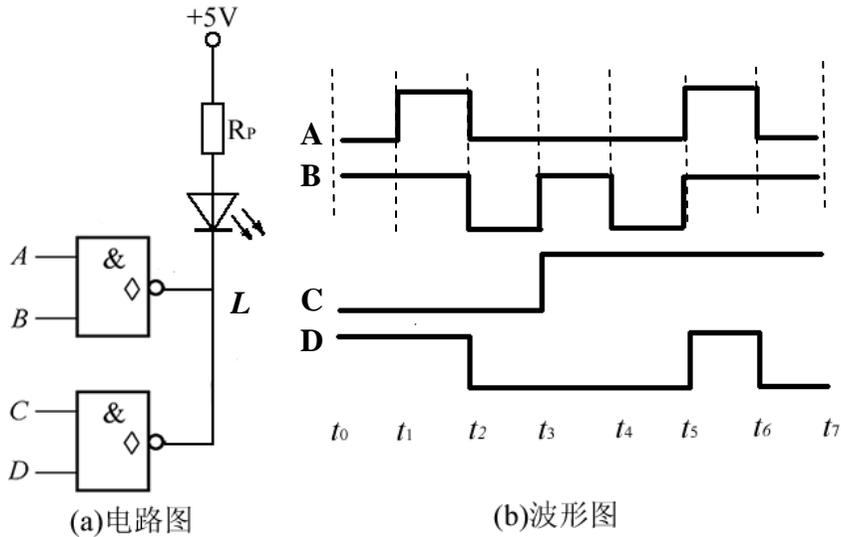


图2.47 题2.5.2电路与波形图

解：由电路图可得，当L为低电平时，发光二极管会亮，图中

$$L = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

列真值表分析：

A	B	C	D	AB	CD	L
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	0	1
0	1	1	0	0	0	1
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	0	1
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0

1	1	1	0	1	0	0
1	1	1	1	1	1	0

发光管在 $t_1 \sim t_2$ 期间、 $t_5 \sim t_6$ 期间会亮。

3、试写出图2.48所示数字电路的逻辑函数表达式，并判断其功能。（8分）

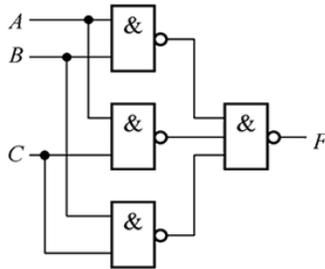


图2.48

解：电路的逻辑函数表达式为：

$$F = \overline{AB} \cdot \overline{AC} \cdot \overline{BC} = AB + AC + BC$$

列真值表：

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

输入变量中有两个或两个以上为1时，输出才为1，因此电路功能为多数表决器电路。

第3单元 能力训练检测题

一、填空题：

1、能将某种特定信息转换成机器识别的二进制数码的组合逻辑电路，称之为编码器；能将机器识别的二进制数码转换成人们熟悉的十进制或某种特定信息的组合逻辑电路，称为译码器。

2、在多数数据选送过程中，能够根据需要将其中的任意一路挑选出来的电路，称之为数据选择器，也叫做多路开关。

3、74LS147是10线—4线的集成优先编码器；74LS148芯片是8线—3线的集成优先编码器。

4、74LS148的使能端 $\bar{S} =$ 为低电平时允许编码；当 $\bar{S} =$ 1时各输出端及 \bar{O}_E 、 \bar{G}_S 均封锁，编码被禁止。

5、两片集成译码器74LS138芯片级联可构成一个4线—16线译码器。

6、LED是指半导体数码管显示器件。

二、判断正误题

1、组合逻辑电路的输出只取决于输入信号的现态。 (对)

2、3线—8线译码器电路是三一八进制译码器。 (错)

3、已知逻辑功能，求解逻辑表达式的过程称为逻辑电路的设计。 (对)

4、编码电路的输入量一定是人们熟悉的十进制数。 (错)

5、74LS138集成芯片可以实现任意变量的逻辑函数。 (错)

6、组合逻辑电路中的每一个门实际上都是一个存储单元。 (错)

7、共阴极结构的显示器需要低电平驱动才能显示。 (错)

8、只有最简的输入、输出关系，才能获得结构最简的逻辑电路。 (对)

三、选择题

1、下列各型号中属于优先译码器是 (C)。

A、74LS85 B、74LS138 C、74LS148 D、74LS48

2、七段数码显示管TS547是 (B)。

A、共阳极LED管 B、共阴极LED管 C、共阳极LCD管 D、共阴极LCD管

3、八输入端的编码器按二进制数编码时，输出端的个数是 (B)。

A、2个 B、3个 C、4个 D、8个

4、四输入的译码器，其输出端最多为 (D)。

A、4个 B、8个 C、10个 D、16个

5、当74LS148的输入端 $\bar{I}_0 \sim \bar{I}_7$ 按顺序输入11011101时，输出 $\bar{Y}_2 \sim \bar{Y}_0$ 为 (C)。

A、101 B、010 C、001 D、110

6、译码器的输入量是（ A ）。

A、二进制 B、八进制 C、十进制 D、十六进制

7、编码器的输出量是（ A ）。

A、二进制 B、八进制 C、十进制 D、十六进制

四、简述题

1、试述组合逻辑电路的特点？

答：组合逻辑电路的特点是：任意时刻，电路输出状态仅取决于该时刻的输入状态。

2、分析组合逻辑电路的目的是什么？简述分析步骤。

答：分析组合逻辑电路，目的就是清楚该电路的功能。分析步骤一般有以下几个步骤：

①根据已知逻辑电路图写出相应逻辑函数式；②对写出的逻辑函数式进行化简。如果从最简式中可直接看出电路功能，则以下步骤可省略；③根据最简逻辑式写出相应电路真值表，由真值表输出、输入关系找出电路的功能；④指出电路功能。

3、何谓编码？二进制编码和二一十进制编码有何不同？

答：编码就是将人们熟悉的十进制数或某个特定信息用相应的高、低电平输入，使输出转换成机器识别的十进制代码的过程。二进制编码就是以自然二进制码进行代码编制，而二一十进制编码则是用多位二进制数码表示1位十进制数码的代码编制。

4、何谓译码？译码器的输入量和输出量在进制上有何不同？

答：译码就是把机器识别的二进制码译为人们熟悉的十进制码或特定信息的过程。以二一十进制译码为例，译码器的输入量是十进制代码，输出量是人们熟悉的十进制。

五、分析题

1、根据表3-15所示内容，分析其功能，并画出其最简逻辑电路图。

表3-15 组合逻辑电路真值表

输 入			输 出
A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

分析：从真值表输入、输出关系可写出相应逻辑函数式为：

$$F = \overline{A}BC + ABC$$

显然，电路输入相同时，输出才为1，否则为0。因此该电路是一个三变量一致电路。

2、写出图3.45所示逻辑电路的最简逻辑函数表达式。

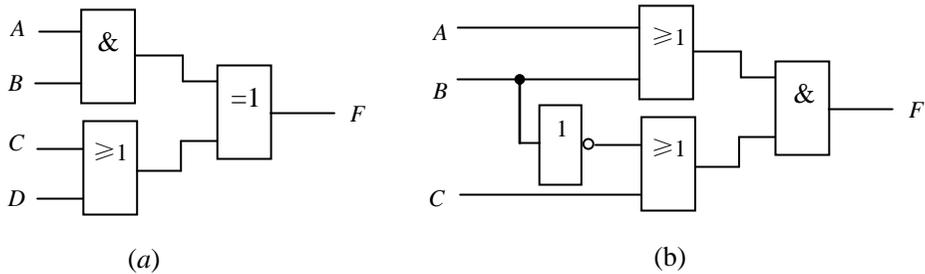


图 3.45 题 3.5.2 逻辑电路

分析：(a) 图的逻辑函数式为：

$$\begin{aligned}
 F &= \overline{AB}(C+D) + ABC\overline{D} \\
 &= (\overline{A} + \overline{B})(C+D) + ABC\overline{D} \\
 &= \overline{AC} + \overline{BC} + \overline{AD} + \overline{BD} + ABC\overline{D}
 \end{aligned}$$

(b) 图的逻辑函数式为：

$$\begin{aligned}
 F &= (A + \overline{B}) \cdot (\overline{B} + C) \\
 &= A\overline{B} + AC + \overline{B} + \overline{BC} \\
 &= AC + \overline{B}
 \end{aligned}$$

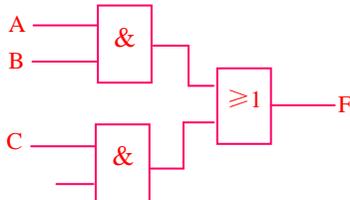
六、设计题

1、画出实现逻辑函数 $F = AB + \overline{A}BC + \overline{A}C$ 的逻辑电路。

设计：对逻辑函数式进行化简：

$$\begin{aligned}
 F &= AB + \overline{A}BC + \overline{A}C \\
 &= AB + AC + \overline{A}C \\
 &= AB + C
 \end{aligned}$$

根据上述最简式可画出逻辑电路为：



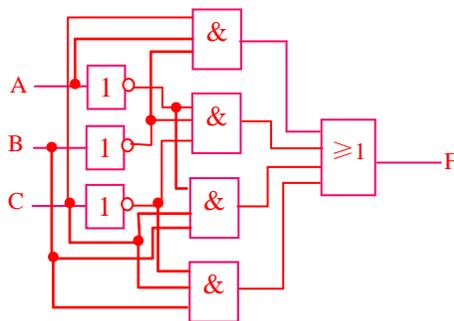
2、设计一个三变量的判偶逻辑电路，其中0也视为偶数。

设计：根据题目要求写出逻辑功能真值表如下：

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

根据真值表写出逻辑函数式并化简为最简与或式如下：

$$F = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}B + A\overline{B}C + ABC$$



3、用与非门设计一个三变量的多数表决器逻辑电路。（10分）

设计：根据题目要求写出逻辑功能真值表如下：

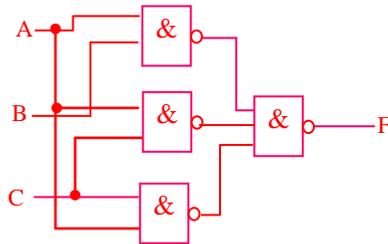
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

根据真值表写出逻辑函数式并化简为最简与或式如下：

$$F = \overline{A}BC + A\overline{B}C + ABC\overline{C} + ABC = \overline{\overline{AB} + AC + BC}$$

$$= \overline{AB \cdot BC \cdot AC}$$

根据上述最简式画出相应逻辑电路图如下：



4、用与非门设计一个组合逻辑电路，完成如下功能：只有当三个裁判（包括裁判长）或裁判长和一个裁判认为杠铃已举起并符合标准时，按下按键，使灯亮（或铃响），表示此次举重成功，否则，表示举重失败。

设计：根据题意取三个裁判分别为输入变量A、B、C，A为裁判长，设按下按键输入为1，否则为0，举重成功为1，举重失败为0，据题意列出相应真值表如下：

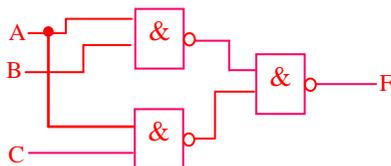
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

根据真值表写出逻辑函数式并化简为最简与或式如下：

$$F = \overline{A}BC + A\overline{B}C + ABC = \overline{\overline{AB} + AC}$$

$$= \overline{AB \cdot AC}$$

根据上述最简式画出相应逻辑电路图如下：



第4单元 能力训练检测题

一、填空题

1、两个与非门构成的基本 RS 触发器的功能有 置0、置1 和 保持。电路中不允许两个输入端同时为 低电平，否则将出现逻辑混乱。

2、通常把一个 CP 脉冲引起触发器多次翻转的现象称为 空翻，有这种现象的触发器是 钟控的 RS 触发器，此类触发器的工作属于 电平 触发方式。

3、为有效地抑制“空翻”，人们研制出了 边沿 触发方式的 主从型 JK 触发器和 维持阻塞型 D 触发器。

4、JK 触发器具有 置0、置1、保持 和 翻转 四种功能。欲使 JK 触发器实现 $Q^{n+1} = \bar{Q}^n$ 的功能，则输入端 J 应接 高电平1，K 应接 高电平1。

5、D 触发器的输入端子有 1 个，具有 置0 和 置1 的功能。

6、触发器的逻辑功能通常可用 特征方程、状态转换图、功能真值表 和 时序波形图 等多种方法进行描述。

7、组合逻辑电路的基本单元是 门电路，时序逻辑电路的基本单元是 触发器。

8、JK 触发器的次态方程为 $Q^{n+1} = JQ^n + \bar{K}\bar{Q}^n$ ；D 触发器的次态方程为 $Q^{n+1} = D^n$ 。

9、触发器有两个互非的输出端 Q 和 \bar{Q} ，通常规定 $Q=1, \bar{Q}=0$ 时为触发器的 1 状态； $Q=0, \bar{Q}=1$ 时为触发器的 0 状态。

10、两个与非门组成的基本 RS 触发器，正常工作时，不允许 $\bar{R} = \bar{S} =$ 0，其特征方程为 $Q^{n+1} = \bar{S} + \bar{R}Q^n$ ，约束条件为 $\bar{R} + \bar{S} = 1$ 。

11、钟控的 RS 触发器，在正常工作时，不允许输入端 $R=S=$ 1，其特征方程为 $Q^{n+1} = S + \bar{R}Q^n$ ($CP=1$)，约束条件为 $SR=0$ 。

12、把 JK 触发器 两个输入端子连在一起作为一个输入 就构成了 T 触发器，T 触发器具有的逻辑功能是 保持 和 翻转。

13、让 T 触发器恒输入“1”就构成了 T' 触发器，这种触发器仅具有 翻转 功能。

二、正误识别题

1、仅具有保持和翻转功能的触发器是 RS 触发器。 (错)

2、基本的 RS 触发器具有“空翻”现象。 (错)

3、钟控的 RS 触发器的约束条件是： $R+S=0$ 。 (错)

4、JK 触发器的特征方程是： $Q^{n+1} = J\bar{Q}^n + KQ^n$ 。 (错)

5、D 触发器的输出总是跟随其输入的变化而变化。 (对)

6、 $CP=0$ 时，由于 JK 触发器的导引门被封锁而触发器状态不变。 (对)

- 7、主从型 JK 触发器的从触发器开启时刻在 CP 下降沿到来时。 (对)
- 8、触发器和逻辑门一样，输出取决于输入现态。 (错)
- 9、维持阻塞 D 触发器状态变化在 CP 下降沿到来时。 (错)
- 10、凡采用电位触发方式的触发器，都存在“空翻”现象。 (错)

三、选择题

- 1、仅具有置“0”和置“1”功能的触发器是 (C)。
- A、基本 RS 触发器 B、钟控 RS 触发器
C、D 触发器 D、JK 触发器
- 2、由与非门组成的基本 RS 触发器不允许输入的变量组合 $\bar{S} \cdot \bar{R}$ 为 (A)。
- A、00 B、01 C、10 D、11
- 3、钟控 RS 触发器的特征方程是 (D)。
- A、 $Q^{n+1} = \bar{R} + Q^n$ B、 $Q^{n+1} = S + Q^n$
C、 $Q^{n+1} = R + \bar{S}Q^n$ D、 $Q^{n+1} = S + \bar{R}Q^n$
- 4、仅具有保持和翻转功能的触发器是 (B)。
- A、JK 触发器 B、T 触发器 C、D 触发器 D、T' 触发器
- 5、触发器由门电路构成，但它不同门电路功能，主要特点是具有 (C)
- A、翻转功能 B、保持功能 C、记忆功能 D、置 0 置 1 功能
- 6、TTL 集成触发器直接置 0 端 \bar{R}_D 和直接置 1 端 \bar{S}_D 在触发器正常工作时应 (C)
- A、 $\bar{R}_D=1, \bar{S}_D=0$ B、 $\bar{R}_D=0, \bar{S}_D=1$
C、保持高电平“1” D、保持低电平“0”
- 7、按触发器触发方式的不同，双稳态触发器可分为 (C)
- A、高电平触发和低电平触发 B、上升沿触发和下降沿触发
C、电平触发或边沿触发 D、输入触发或时钟触发
- 8、按逻辑功能的不同，双稳态触发器可分为 (D)。
- A、RS、JK、D、T 等 B、主从型和维持阻塞型
C、TTL 型和 MOS 型 D、上述均包括
- 9、为避免“空翻”现象，应采用 (B) 方式的触发器。
- A、主从触发 B、边沿触发 C、电平触发
- 10、为防止“空翻”，应采用 (C) 结构的触发器。
- A、TTL B、MOS C、主从或维持阻塞

四、简述题

1、时序逻辑电路的基本单元是什么？组合逻辑电路的基本单元又是什么？

答：时序逻辑电路的基本单元是触发器，组合逻辑电路的基本单元是门电路。

2、何谓“空翻”现象？抑制“空翻”可采取什么措施？

答：在时钟脉冲 $CP=1$ 期间，触发器的输出随输入发生多次翻转的现象称为空翻。抑制空翻的最好措施就是让触发器采取边沿触发方式。

3、试分别写出钟控 RS 触发器、JK 触发器和 D 触发器的特征方程。

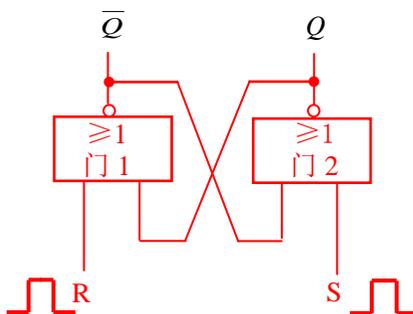
答：钟控 RS 触发器的特征方程： $Q^{n+1} = S + \bar{R}Q^n$ ($CP=1$)， $SR=0$ (约束条件)；

JK 触发器的特征方程： $Q^{n+1} = JQ^n + \bar{K}Q^n$ ； D 触发器的特征方程： $Q^{n+1} = D^n$ 。

4、你能否推出由两个或非门组成的基本 RS 触发器的功能？写出其真值表。

答：由两个或非门组成的基本 RS 触发器如图所示，其功能与钟控 RS 触发器相同，所不同点是或非门构成的基本 RS 触发器是电平触发方式，没有时钟脉冲控制。

功能真值表也与钟控 RS 触发器完全相同。



或非门构成的基本 RS 触发器

五、分析题

1、已知 TTL 主从型 JK 触发器的输入控制端 J 和 K 及 CP 脉冲波形如图 4.23 所示，试根据它们的波形画出相应输出端 Q 的波形。

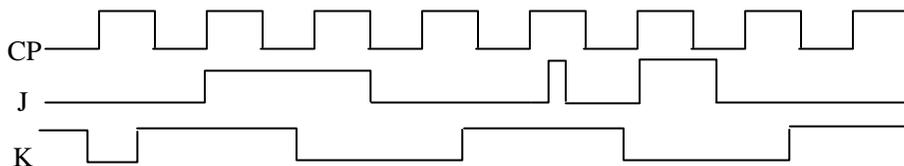
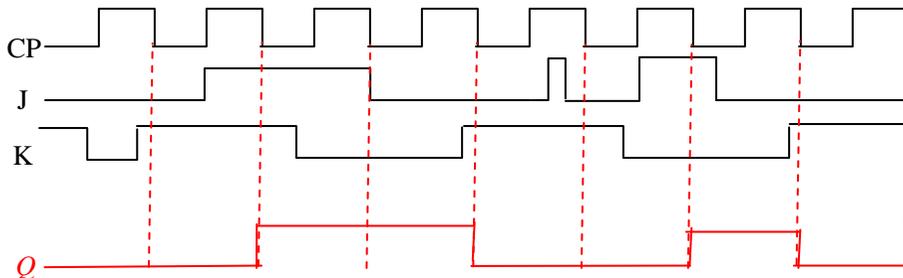


图 4.23 题 4.5.1 波形图

解：



2、写出图 4.24 所示各逻辑电路的次态方程。

解：(a) 图： $Q^{n+1} = A$ (b) 图： $Q^{n+1} = D^n$ (c) 图： $Q^{n+1} = \bar{Q}^n$
 (d) 图： $Q^{n+1} = \bar{Q}^n$ (e) 图： $Q^{n+1} = \bar{Q}^n$ (f) 图： $Q^{n+1} = Q^n$

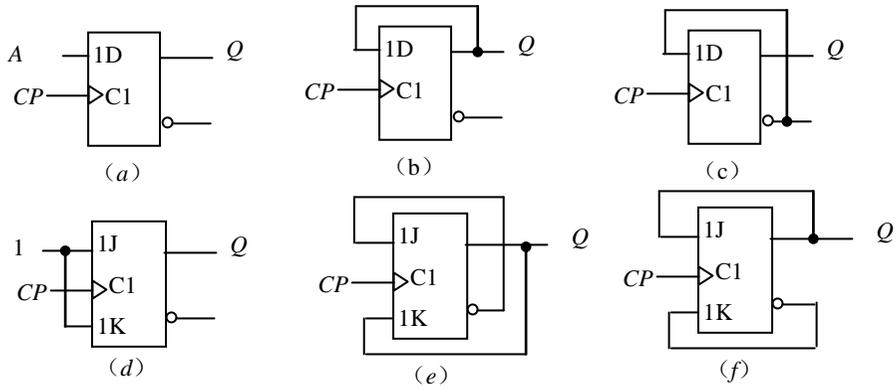


图 4.24 题 4.5.2 逻辑图

3、分析图 4.25 所示逻辑功能。

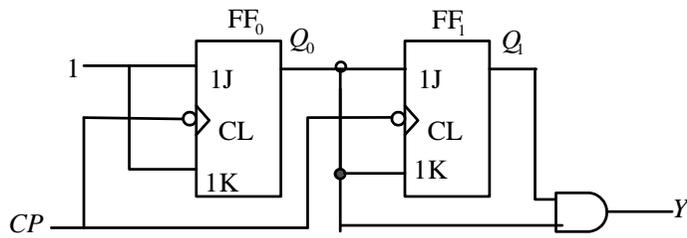


图 4.25

解：(1) 驱动方程： $J_0=1, K_0=1$

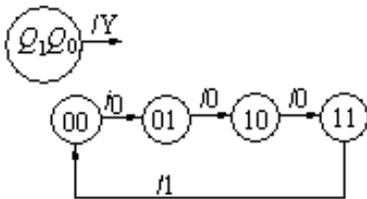
$$J_1 = Q_0^n = K_1$$

(2) 状态方程：

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n} \quad Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = Q_0^n \oplus Q_1^n$$

(3) 输出方程： $Y = Q_1^n Q_0^n$

(4) 状态转换图 (右图所示)：



(5) 功能：同步的、穆尔型的、四进制加法器。

4、电路如图 4.26 所示：

- (1) 图示电路中采用什么触发方式；
- (2) 分析下图所示时序逻辑电路，并指出其逻辑功能；
- (3) 设触发器初态为 0，画出在 CP 脉冲下 Q_0 和 Q_1 的波形。

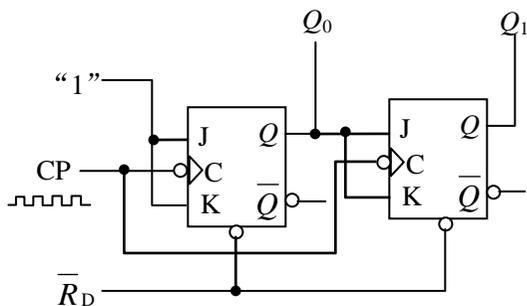


图 4.26 题 4.5.4 逻辑图

解：①JK 触发器采用的都是边沿触发方式；

②分析电路：

电路驱动方程： $J_0=K_0=1$ ， $J_1=K_1=Q_0$ ，

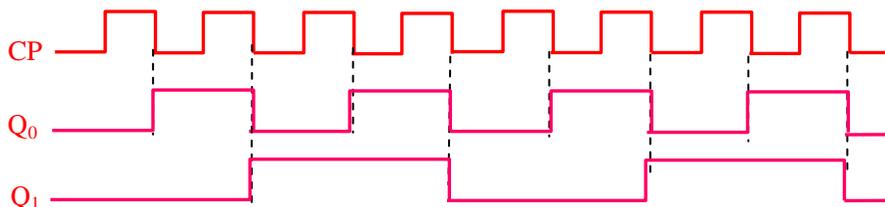
将驱动方程代入触发器的特征方程可得： $Q_0^{n+1} = \overline{Q_0^n}$ ， $Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$ 。

功能真值表：

Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

由功能真值表可看出，这是一个 2 位四进制加计数器。

③电路初态为 0，画出其时序波形图如下：



第5单元 能力训练检测题

一、填空题

- 1、时序逻辑电路通常由 组合逻辑电路 和 存储电路 两部分组成。
- 2、根据时序逻辑电路按各位触发器接受 时钟脉冲控制 信号的不同,可分为 同步时序逻辑电路和 异步时序逻辑电路两大类。
- 3、通常用 驱动方程、状态方程 和 输出方程 来描述时序逻辑电路。
- 4、时序逻辑电路按照各位触发器触发器的时钟脉冲是否相同可分为 同步时序逻辑电路 和 异步时序逻辑电路 两大类。
- 5、时序逻辑电路中仅有存储电路输出时,构成的电路类型通常称为 莫尔型时序逻辑电路;如果电路输出除存储电路输出外,还包含组合逻辑电路输出端时,构成的电路类型称为 米莱型时序逻辑电路。
- 6、可以用来暂时存放数据的器件称为 寄存器,若要存储 4 位二进制代码,该器件必须有 4 位 触发器。
- 7、时序逻辑电路中某计数器中的无效码若在开机时出现,不用人工或其它设备的干预,计数器能够很快自行进入 有效循环体,使无效码不再出现的能力称为 自启动能力。
- 8、若构成一个六进制计数器,至少要采用 三位触发器,这时构成的电路有 6个有效状态, 2个无效状态。
- 9、移位寄存器除有 存储代码 的功能外,还有 移位 功能。
- 10、用四位移位寄存器构成环行计数器时,有效状态共有 4个;若构成扭环计数器时,其有效状态是 8个。
- 11、寄存器是可用来存放数码、运算结果或指令的电路,通常由具有存储功能的多位 触发器组合起来构成。一位 触发器可以存储 1 个二进制代码,存放 n 个二进制代码的寄存器,需用 n 位 触发器来构成。
- 12、74LS194 是典型的四位 TTL型集成双向移位寄存器芯片,具有 左移和右移、并行输入、保持数据 和 清除数据 等功能。
- 13、通常模值相同的同步计数器比异步计数器的结构 复杂,工作速度 快。

二、判断题

- 1、集成计数器通常都具有自启动能力。 (对)
- 2、使用 3 个触发器构成的计数器最多有 8 个有效状态。 (对)
- 3、同步时序逻辑电路中各触发器的时钟脉冲 CP 不一定相同。 (错)
- 4、利用一个 74LS90 可以构成一个十二进制的计数器。 (错)
- 5、用移位寄存器可以构成 8421BCD 码计数器。 (错)

- 6、555 电路的输出只能出现两个状态稳定的逻辑电平之一。 (对)
- 7、施密特触发器的作用就是利用其回差特性稳定电路。 (错)
- 8、莫尔型时序逻辑电路，分析时可以不写输出方程。 (对)
- 9、十进制计数器是用十进制数码“0~9”进行计数的。 (错)
- 10、利用集成计数器芯片的预置数功能可获得任意进制的计数器。 (对)

三、选择题

- 1、描述时序逻辑电路功能的两个必不可少的重要方程式是 (B)。
- A、次态方程和输出方程 B、次态方程和驱动方程
C、驱动方程和时钟方程 D、驱动方程和输出方程
- 2、用 8421BCD 码作为代码的十进制计数器，至少需要的触发器个数是 (C)。
- A、2 B、3 C、4 D、5
- 3、接触发器状态转换与时钟脉冲 CP 的关系分类，计数器可分为 (A) 两大类。
- A、同步和异步 B、加计数和减计数 C、二进制和十进制
- 4、能用于脉冲整形的电路是 (C)。
- A、双稳态触发器 B、单稳态触发器 C、施密特触发器
- 5、由 3 级触发器构成的环形和扭环形计数器的计数模值依次为 (D)。
- A、模 6 和模 3 B、模 8 和模 8 C、模 6 和模 8 D、模 3 和模 6
- 6、下列叙述正确的是 (D)
- A、译码器属于时序逻辑电路 B、寄存器属于组合逻辑电路
C、555 定时器是典型的时序逻辑电路 D、计数器属于时序逻辑电路
- 7、利用中规模集成计数器构成任意进制计数器的方法是 (B)
- A、复位法 B、预置数法 C、级联复位法
- 8、设计 1 个能存放 8 位二进制代码的寄存器，需要 (A) 触发器。
- A、8 位 B、2 位 C、3 位 D、4 位
- 9、在下列器件中，不属于时序逻辑电路的是 (C)
- A、计数器 B、序列信号检测器 C、全加器 D、寄存器
- 10、改变 555 定时电路的电压控制端 CO 的电压值，可改变 (C)
- A、555 定时电路的高、低输出电平 B、开关放电管的开关电平
C、比较器的阈值电压 D、置“0”端 \bar{R} 的电平值

四、简述题

- 1、说明同步时序逻辑电路和异步时序逻辑电路有何不同？

答：同步时序逻辑电路的各位触发器是由同一个时钟脉冲控制的；异步时序逻辑电路的各位触发器的时钟脉冲控制端各不相同，状态变化发生的时间通常也不相同。

2、钟控的 RS 触发器能用作移位寄存器吗？为什么？

答：移位寄存器除寄存数据外，还能将数据在寄存器内移位，因此钟控的 RS 触发器不能用做这类寄存器，因为它具有“空翻”问题，若用于移位寄存器中，很可能造成一个 CP 脉冲下多次移位现象。用作移位寄存器的触发器只能是克服了“空翻”现象的边沿触发器。

3、何谓计数器的自启动能力？

答：所谓自启动能力：指时序逻辑电路中某计数器中的无效状态码，若在开机时出现，不用人工或其它设备的干预，计数器能够很快自行进入有效循环体，使无效状态码不再出现的能力。

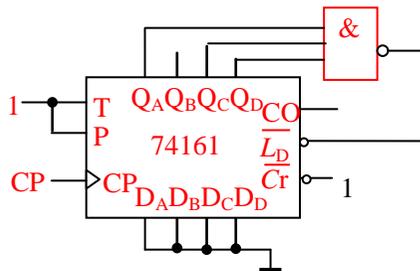
4、施密特触发器具有什么显著特征？主要应用有哪些？

答：施密特触发器的显著特征有两个：一是输出电压随输入电压变化的曲线不是单值的，具有回差特性；二是电路状态转换时，输出电压具有陡峭的跳变沿。利用施密特触发器可对电路中的输入电信号进行波形整形、波形变换、幅度鉴别及脉冲展宽等。

五、分析题

1、试用 74LS161 集成芯片构成十二进制计数器。要求采用反馈预置法实现。

解：



2、电路及时钟脉冲、输入端 D 的波形如图 5.42 所示，设起始状态为“000”。试画出各触发器的输出时序图，并说明电路的功能。

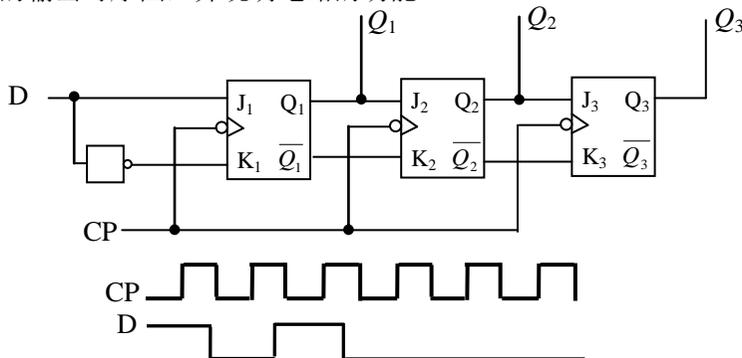


图 5.42 检测题 5.5.2 逻辑图

解：分析：(1) 电路为同步的米莱型时序逻辑电路；

(2) 各触发器的驱动方程: $J_1=D$ $K_1=\overline{D}$ $J_2=Q_1^n$ $K_2=\overline{Q_1^n}$ $J_3=Q_1^n$ $K_3=\overline{Q_2^n}$

各触发器的次态方程: $Q_1^{n+1} = D^n$ $Q_2^{n+1} = Q_1^n$ $Q_3^{n+1} = Q_2^n$

(3) 根据上述方程, 写出相应的逻辑功能真值表:

CP	D	$Q_1^n Q_2^n Q_3^n$	$Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}$
1↓	0	0 0 0	0 0 0
2↓	1	0 0 0	1 0 0
3↓	0	1 0 0	0 1 0
4↓	0	0 1 0	0 0 1
5↓	0	0 0 1	0 0 0

从功能真值表中可看出, 该电路属于右移移位寄存器。其时序逻辑图如图中红笔示。

3、已知计数器的输出端 Q_2 、 Q_1 、 Q_0 的输出波形如图 5.43 所示, 试画出对应的状态转换图, 并分析该计数器为几进制计数器。

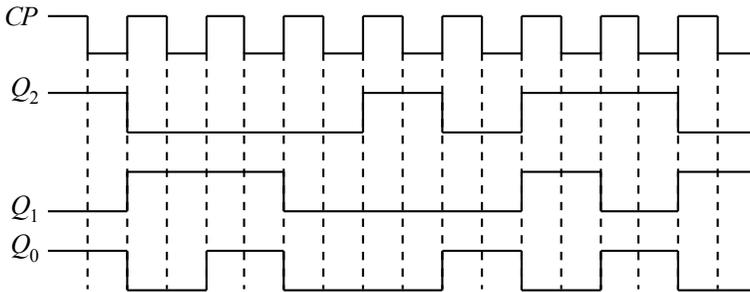


图 5.43 检测题 5.5.3 时序波形图

解: 状态转换关系为: $101 \rightarrow 010 \rightarrow 011 \rightarrow 000 \rightarrow 100 \rightarrow 001 \rightarrow 110$ 。该计数器为七进制计数器。

4、分析图 5.44 所示时序逻辑电路的逻辑功能, 写出电路的驱动方程、状态方程和输出方程, 画出电路的状态转换图, 说明电路能否自选启动。

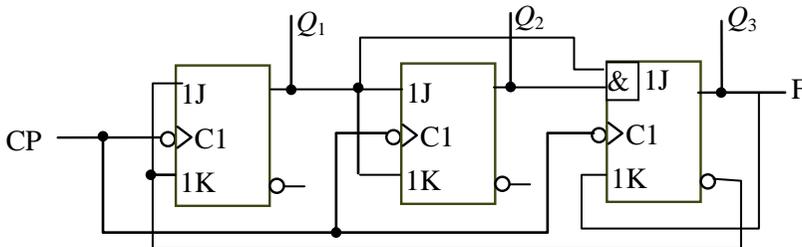


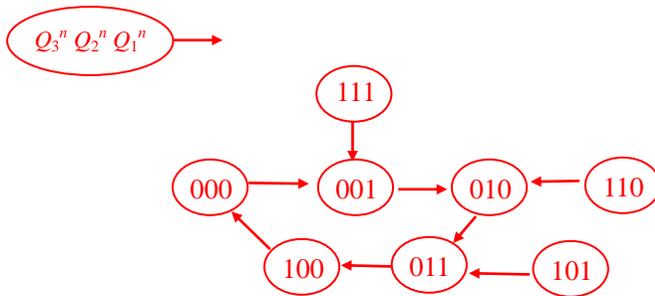
图 5.44 检测题 5.5.4 逻辑电路图

解: $J_1 = K_1 = \overline{Q_3^n}$ $J_2 = K_2 = Q_1^n$ $J_3 = Q_1^n Q_2^n$ $K_3 = Q_3^n$
 $Q_1^{n+1} = \overline{Q_3^n} \oplus Q_1^n$ $Q_2^{n+1} = Q_2^n \oplus Q_1^n$ $Q_3^{n+1} = \overline{Q_3^n} Q_2^n Q_1^n$ $F = Q_3^n$

功能转换真值表:

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	1	0	1	1	1
1	1	0	0	1	0	1
1	1	1	0	0	1	1

画出状态转换图如下：



由状态转换图可看出，这是一个模 5 加计数器，具有自启动能力。

第6单元 能力训练检测题

一、填空题:

- 1、一个存储矩阵有 64 行、64 列，则存储容量为 4096 个存储单元。
- 2、动态 MOS 存储单元是利用 电容 C 上存储的电压 存储信息的，为了不丢失信息，必须 不断刷新。
- 3、EPROM 的存储单元是在 MOS 管中置入 浮置栅 的方法实现的。写入程序时，在漏极和衬底之间加足够高的 反向脉冲电压，可使 PN 结产生 雪崩击穿，产生的高能电子穿透二氧化硅绝缘层进入 浮置栅 中。当将外部提供的电源去掉后，浮置栅 中的电子无放电回路而被保留下来。
- 4、半导体存储器按照存、取功能上的不同可分为 只读存储器 ROM 和 随机存取存储器 RAM 两大类。其中 只读存储器 ROM 事先存入的信息不会因为下电而丢失；而 随机存取存储器 RAM 关闭电源或发生断电时，其中的数据就会丢失。
- 5、存储器的两大主要技术指标是 存储容量 和 存取速度。
- 6、RAM 主要包括 地址译码器、存储矩阵 和 读/写控制 电路三大部分。
- 7、存储器容量的扩展方法通常有 字 扩展、位 扩展和 字、位同时 扩展三种方式。
- 8、ROM 按照存储信息写入方式的不同可分为 固定 ROM、可编程的 PROM、可光擦除可编程 的 EPROM 和 可电擦除可编程 的 E²PROM。

二、判断正、误

- 1、RAM 的片选信号 $\overline{CS} = "0"$ 时被禁止读写。 (错)
- 2、EPROM 是采用浮置栅技术工作的可编程存储器。 (对)
- 3、ROM 和 RAM 中存入的信息在电源断掉后都不会丢失。 (错)
- 4、1024×1 位的 RAM 中，每个地址中只有 1 个存储单元。 (对)
- 5、可编程存储器的内部结构都存在与阵列和或阵列。 (对)
- 6、存储器字数的扩展可以利用外加译码器控制数个芯片的片选输入端来实现。 (对)
- 7、所有的半导体存储器在运行时都具有读和写的功能。 (错)
- 8、ROM 的每个与项（地址译码器的输出）都一定是最小项。 (对)

三、选择题

- 1、一个容量为 1K×8 的存储器有 (B) 个存储单元。
A.8 B.8K C.8000 D.9018
- 2、要构成容量为 4K×8 的 RAM，需要 (D) 片容量为 256×4 的 RAM。
A.2 B.4 C.8 D.32

- 3、寻址容量为 $16\text{K}\times 8$ 的 RAM 需要 (C) 根地址线。
 A.4 B.8 C.14 D.16
- 4、某存储器具有 8 根地址线和 8 根双向数据线，则该存储器的容量为 (C)。
 A. 8×3 B. $8\text{K}\times 8$ C. 256×8 D. 256×256
- 5、随机存取存储器具有 (A) 功能。
 A.读/写 B.无读/写 C.只读 D.只写
- 6、欲将容量为 128×1 的 RAM 扩展为 1024×8 ，则需要控制各片选端的辅助译码器的输出端数为 (D)。
 A.1 B.2 C.3 D.8
- 7、只读存储器 ROM 在运行时具有 (A) 功能。
 A.读/无写 B.无读/写 C.读/写 D.无读/无写
- 8、只读存储器 ROM 中的内容，当电源断掉后又接通，存储器中的内容 (D)。
 A.全部改变 B.全部为 0 C.不可预料 D.保持不变
- 9、随机存取存储器 RAM 中的内容，当电源断掉后又接通，存储器中的内容 (C)。
 A.全部改变 B.全部为 1 C.不确定 D.保持不变
- 10、一个容量为 512×1 的静态 RAM 具有 (A)。
 A.地址线 9 根，数据线 1 根 B.地址线 1 根，数据线 9 根
 C.地址线 512 根，数据线 9 根 D.地址线 9 根，数据线 512 根

四、简答题

1、现有 ($1024\text{B}\times 4$) RAM 集成芯片一个，该 RAM 有多少个存储单元？有多少条地址线？该 RAM 含有多少个字？其字长是多少位？访问该 RAM 时，每次会选中几个存储单元？

答：该 RAM 集成芯片有 4096 个存储单元；地址线为 10 根；含有 1024 个字，字长是 4 位；访问该 RAM 时，每次会选中 4 个存储单元。

2、什么是 ROM？什么是 RAM？它们的结构组成相同吗？二者的主要区别是什么？

答：按存取方式分类，半导体存储器则可分为随机存取存储器 (RAM) 和只读存储器 (ROM) 两种形式。RAM 是能够通过指令随机地、个别地对其中各个单元进行读/写

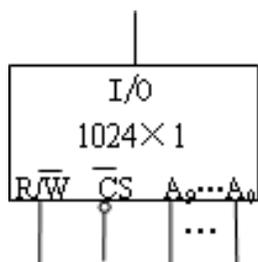
操作的一类存储器；ROM 是计算机系统的在线运行过程中，只能对其进行读操作，而不能进行写操作的一类存储器。。RAM 和 ROM 都是由地址译码器、存储矩阵和读/写控制电路所组成；RAM 与 ROM 的根本区别在于：正常工作状态下，ROM 只能读出不能写入，而 RAM 则既能读出又能写入。

3、若存储器的容量为 256K×8 位，其地址线为多少位？数据线数？若存储器的容量为 512M×8 位，其地址线又为多少位？

答：存储器容量=字数×位数，当存储器的容量为 256K×8 位时，可得字数为 $2^n=256*1024$ ，则地址线 n=18 位，数据线为 8 位；当存储器的容量为 512M×8 位，可得 $2^n=512*1024*1024$ ，其地址线 n=29 位。

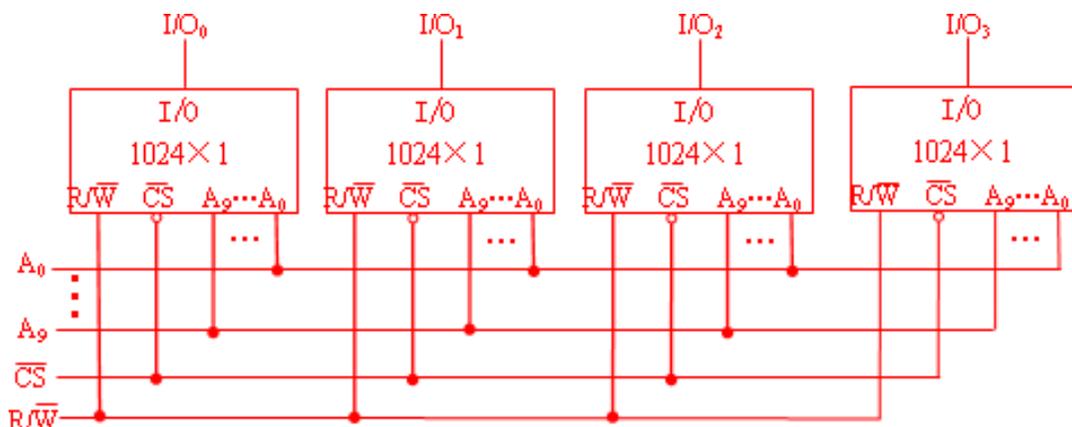
五、计算题：

1、试用 1K×1 位的 RAM 扩展成 1K×4 位的存储器。说明需要几片如图 6.31 所示的 RAM，画出接线图。（10 分）



6.31

解：用 1K×1 位的 RAM 扩展成 1K×4 位的存储器，需用 4 片如图 11-16 所示的 RAM 芯片，接线图为：



第7单元 能力训练检测题

一、填空题:

1、斯密特触发器属于 双 稳态电路。斯密特触发器的主要用途有 整形电路、脉冲鉴幅 等。

2、单稳态触发器在触发脉冲的作用下，从稳定状态转换到暂稳状态。依靠自身作用，又能自动返回到稳定状态。

3、多谐振荡器电路没有稳态，电路不停地在暂稳状之间转换，因此又称作自激振荡器。

4、555 定时器的最后数码为 555 的是 TTL 产品，为 7555 的是 CMOS 产品。

5、施密特触发器具有 回差 现象，又称 电压滞后 特性；单稳触发器最重要的参数为 脉宽。

6、常见的脉冲产生电路有 多谐振荡器，常见的脉冲整形电路有 单稳态触发器、施密特触发器。

7、为了实现高的频率稳定度，常采用 石英晶体 振荡器；单稳态触发器受到外触发时进入 暂稳态。

8、555 定时器可以构成施密特触发器，主要用于脉冲波形的 整形 和 变换；555 定时器还可以用作多谐振荡器和 单 稳态触发器。

二、判断正、误

- 1、施密特触发器可用于将三角波变换成正弦波。 (错)
- 2、施密特触发器有两个稳态。 (对)
- 3、多谐振荡器的输出信号的周期与阻容元件的参数成正比。 (对)
- 4、石英晶体多谐振荡器的振荡频率与电路中的 R、C 成正比。 (错)
- 5、单稳态触发器的暂稳态时间与输入触发脉冲宽度成正比。 (错)
- 6、单稳态触发器的暂稳态维持时间用 t_w 表示，与电路中 RC 成正比。 (对)
- 7、采用不可重触发单稳态触发器时，若在触发器进入暂稳态期间再次受到触发，输出脉宽可在此前暂稳态时间的基础上再展宽 t_w 。 (错)
- 8、施密特触发器的正向阈值电压一定大于负向阈值电压。 (对)

三、选择题

1. 脉冲整形电路有 C。

A.多谐振荡器 B.双稳态触发器 C.施密特触发器 D.555 定时器

2、多谐振荡器可产生 B。

A.正弦波 B.矩形脉冲 C.三角波 D.锯齿波

3、石英晶体多谐振荡器的突出优点是 C。

A.速度高 B.电路简单 C.振荡频率稳定 D.输出波形边沿陡峭

4、TTL 单定时器型号的最后几位数字为 A。

A.555 B.556 C.7555 D.7556

5、555 定时器可以组成 ABC。

A.多谐振荡器 B.单稳态触发器 C.施密特触发器 D.JK 触发器

6、用 555 定时器组成施密特触发器，当输入控制端 CO 外接 10V 电压时，回差电压为 B。

A.3.33V B.5V C.6.66V D.10V

7、以下各电路中， B 可以产生脉冲定时。

A.多谐振荡器 B.单稳态触发器 C.施密特触发器 D.石英晶体多谐振荡器

四、计算题：

1、在图 10.5.1 (a) 所示的施密特触发器电路中，已知 $R_1=10K\Omega$ ， $R_2=30K\Omega$ 。 G_1 和 G_2 为 CMOS 反相器， $V_{DD}=15V$ 。

(1) 试计算电路的正向阈值电压 V_{T+} 、正向阈值电压 V_{T-} 和回差电压 ΔV_T 。

(2) 若将图 10.5.1 (b) 给出的电压信号加到图 10.5.1 (a) 电路的输入端，试画出输出电压的波形。

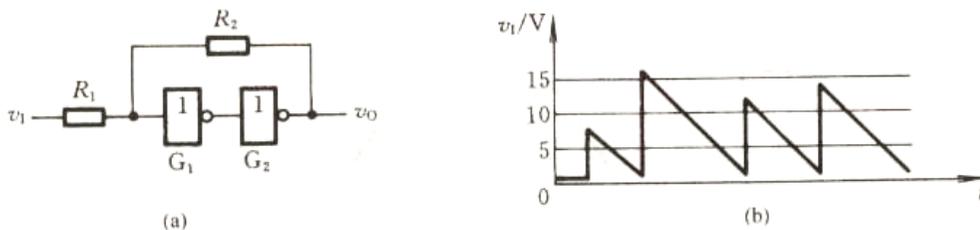


图 10.5.1

解： (1)

$$V_{T+} = \left(1 + \frac{R_1}{R_2}\right)V_{TH} = \left(1 + \frac{10}{30}\right) * \frac{15}{2} = 10V$$

$$V_{T-} = \left(1 - \frac{R_1}{R_2}\right)V_{TH} = \left(1 - \frac{10}{30}\right) * \frac{15}{2} = 5V$$

$$\Delta V_T = V_{T+} - V_{T-} = 5V$$

(2) 将图 10.5.1 (b) 给出的电压信号加到图 10.5 (a) 电路的输入端时, 输出电压的波形如图 10.5 (c)。

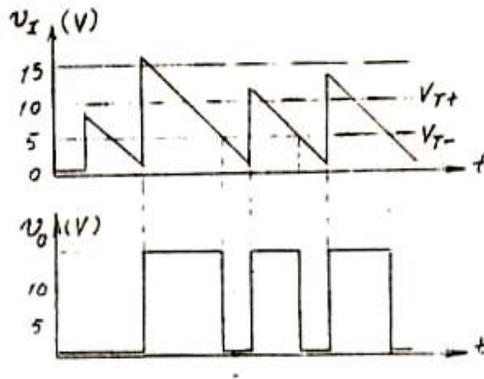


图 10.5 (c)

2、在图 10.5.2 给出的微分型单稳态触发器电路中, 已知 $R=51\text{ K}\Omega$, $C=0.01\mu\text{F}$, 电源电压 $V_{DD}=10\text{V}$, 试求在触发信号作用下输出脉冲的宽度和幅度。

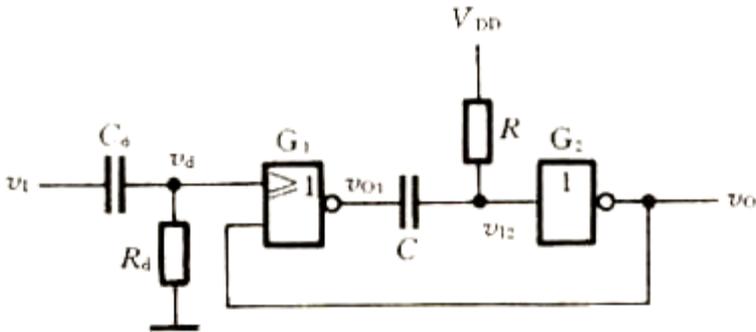


图 10.5.2

解:

根据式 (10.3.2)、式 (10.3.3) 得到,

输出脉冲宽度

$$T_w = RC \ln 2 = 51 \times 10^3 \times 0.01 \times 10^{-6} \times 0.69 = 0.35 \text{ms}$$

输出脉冲幅度

$$V_m = V_{OH} = V_{OL} \approx V_{DD} = 10\text{V}$$

3、在图 10.5.3 用 555 定时器组成的多谐振荡器电路中, 若 $R_1=R_2=5.1\text{ K}\Omega$, $C=0.01\mu\text{F}$, $V_{CC}=12\text{V}$, 试计算电路的振荡频率。

解：由式 $f = \frac{1}{T} = \frac{1}{(R_1 + 2R_2)C \ln 2}$ 得

$$T_D = \frac{1}{(R_1 + 2R_2)C \ln 2} = \frac{1}{3 * 5.1 * 10^3 * 0.01 * 10^{-6} * 0.69} = 9.47 \text{kHz}$$

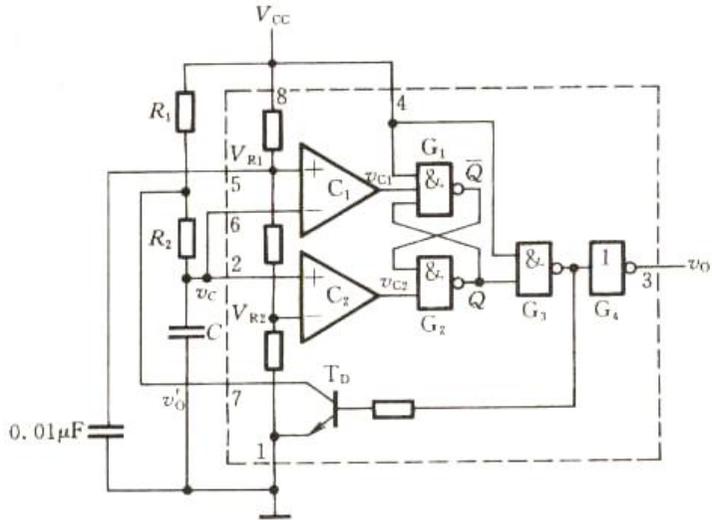


图 10.5.3